

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-077231
 (43)Date of publication of application : 23.03.2001

(51)Int.CI. H01L 23/12
 H01L 23/29
 H01L 23/31
 // H01L 21/60

(21)Application number : 11-249919 (71)Applicant : MATSUSHITA ELECTRONICS INDUSTRY CORP

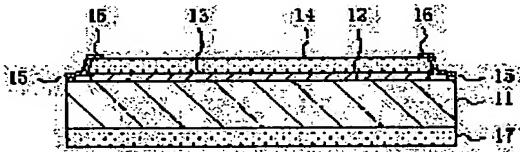
(22)Date of filing : 03.09.1999 (72)Inventor : NAKAMURA YOSHIFUMI
 SAWARA RYUICHI
 KAINO NORIYUKI
 SHIMOISHIZAKA NOZOMI
 KUMAKAWA TAKAHIRO

(54) SEMICONDUCTOR DEVICE, SEMICONDUCTOR WAFER, AND MANUFACTURE OF THE SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent warpage of a CSP(chip-scale package) semiconductor device and facilitate wiring within the semiconductor device.

SOLUTION: A semiconductor element 12, which constitutes an integrated circuit, is formed on an element forming surface of a semiconductor chip 11. The element 12 is covered with a passivation film 13 made of silicon oxide or the like, which is a protection film, and the film 13 is covered with a first resin layer 14 for sealing. An electrode terminal 15 connected electrically to the element 12 is formed along the periphery on the element forming surface. A metallized wiring layer 16 connected electrically to the terminal 15 is provided at least along the periphery on the layer 14.



LEGAL STATUS

[Date of request for examination] 18.03.2005
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device characterized by having the wiring layer which consists of a conductor which was formed on the 1st resin layer which is formed on the semiconductor chip which has the semiconductor device formed on the component forming face, and said semiconductor chip, and closes said semiconductor device, and said 1st resin layer, and was electrically connected with said semiconductor device, and the 2nd resin layer formed in said component forming face in said semiconductor chip, and the field of the opposite side.

[Claim 2] The semiconductor device according to claim 1 characterized by having further the conductor layer formed on the field of said semiconductor chip in said 2nd resin layer, and the opposite side.

[Claim 3] said 1st resin layer top — this — the semiconductor device according to claim 1 or 2 characterized by having further the conductive letter member of a projection which is formed so that it may project from the top face of the 1st resin layer, and is electrically connected with said wiring layer.

[Claim 4] Said 2nd resin layer is a semiconductor device according to claim 1 or 2 characterized by including a thermally conductive filler.

[Claim 5] Said 2nd resin layer is a semiconductor device according to claim 1 or 2 characterized by including a conductive filler.

[Claim 6] The body of a semi-conductor wafer which has two or more semiconductor devices formed for two or more predetermined fields of every on a component forming face, The 1st resin layer which is formed on said body of a semi-conductor wafer, and closes said each semiconductor device, The semi-conductor wafer characterized by having the wiring layer which consists of a conductor which was formed said whole predetermined field on said 1st resin layer, and was electrically connected with said each semiconductor device, and the 2nd resin layer formed in said component forming face in said body of a semi-conductor wafer, and the field of the opposite side.

[Claim 7] The semi-conductor wafer according to claim 6 characterized by having further said body of a semi-conductor wafer in said 2nd resin layer, and the conductor layer formed on the field of the opposite side.

[Claim 8] The semi-conductor wafer according to claim 6 or 7 characterized by having further the conductive letter member of a projection which is formed for every predetermined field on said 1st resin layer so that it may project from the top face of said 1st resin layer, and is electrically connected with said wiring layer.

[Claim 9] Said 2nd resin layer is a semi-conductor wafer according to claim 6 or 7 characterized by including a thermally conductive filler.

[Claim 10] Said 2nd resin layer is a semi-conductor wafer according to claim 6 or 7 characterized by including a conductive filler.

[Claim 11] Either [at least] said 1st resin layer or said 2nd resin layer is the semi-conductor wafer according to claim 6 or 7 characterized by removing the field on the boundary part of said predetermined field.

[Claim 12] The process which applies the 1st resin material on one field of said component forming face and this component forming face in the semi-conductor substrate which has the semiconductor device formed on the component forming face, and the fields of the opposite side, and by stiffening the 1st applied resin material The process which forms the 1st resin layer which consists of said 1st resin material, the process which applies the 2nd resin material on the field of another side in said semi-conductor substrate, and by stiffening the 2nd applied resin material The manufacture approach of the semiconductor device characterized by having the process which forms a conductor layer on the resin layer of the process which forms the 2nd resin layer which consists of said 2nd resin material, said 1st resin layer, and the 2nd resin layer formed in the component forming face side at least.

[Claim 13] The process which applies the 1st resin material on one field of said component forming face and this component forming face in the semi-conductor substrate which has the semiconductor device formed on the component forming face, and the fields of the opposite side, The process which makes the hardening condition of the 1st applied resin material shift even to the preceding paragraph story condition of hardening, The process which applies the 2nd resin material on the field of another side in said semi-conductor substrate, The process which makes the hardening condition of the 2nd applied resin material shift even to the preceding paragraph story condition of hardening, and by stiffening said 1st resin material and the 2nd resin material from the preceding paragraph story condition of hardening The process which forms the 2nd resin layer which consists of said 2nd resin material while forming the 1st resin layer which consists of said 1st resin material, The manufacture approach of the semiconductor device characterized by having the process which forms a conductor layer on the resin layer of said 1st resin layer and the 2nd resin layer formed in said component forming face side at least.

[Claim 14] The manufacture approach of the semiconductor device according to claim 12 or 13 characterized by

having further the process which forms the resin layer of a wrap 3rd for said conductor layer on the resin layer formed in said component forming face side after the process which forms said conductor layer.

[Claim 15] The process which forms the resin layer of a wrap 3rd for said conductor layer on the resin layer formed in said component forming face side after the process which forms said conductor layer, The process which forms alternatively opening which exposes said conductor layer to said 3rd resin layer, The manufacture approach of the semiconductor device according to claim 12 or 13 characterized by having further the process which forms the conductive letter member of a projection on said 3rd resin layer so that said opening may be filled up and it may project from the top face of said 3rd resin layer.

[Claim 16] The process which applies the 1st resin material on one field of said component forming face and this component forming face in the semi-conductor wafer which has two or more semiconductor devices formed for two or more predetermined fields of every on a component forming face, and the fields of the opposite side, The process which forms the 1st resin layer which consists of said 1st resin material by stiffening the 1st applied resin material, The process which applies the 2nd resin material on the field of another side in said semi-conductor substrate, and by stiffening the 2nd applied resin material The process which forms a conductor layer on the resin layer of the process which forms the 2nd resin layer which consists of said 2nd resin material, said 1st resin layer, and the 2nd resin layer formed in said component forming face side at least, The manufacture approach of the semiconductor device characterized by having the process which divides said semi-conductor wafer for two or more said predetermined field of every in said semi-conductor wafer with which said conductor layer was formed.

[Claim 17] The process which applies the 1st resin material on one field of said component forming face and this component forming face in the semi-conductor wafer which has two or more semiconductor devices formed for two or more predetermined fields of every on a component forming face, and the fields of the opposite side, The process which makes the hardening condition of the 1st applied resin material shift even to the preceding paragraph story condition of hardening, The process which applies the 2nd resin material on the field of another side in said semi-conductor wafer, The process which makes the hardening condition of the 2nd applied resin material shift even to the preceding paragraph story condition of hardening, and by stiffening said 1st resin material and the 2nd resin material from the preceding paragraph story condition of hardening The process which forms the 2nd resin layer which consists of said 2nd resin material while forming the 1st resin layer which consists of said 1st resin material, The process which forms a conductor layer on the resin layer of said 1st resin layer and the 2nd resin layer formed in said component forming face side at least, The manufacture approach of the semiconductor device characterized by having the process which divides said semi-conductor wafer for two or more said predetermined field of every in said semi-conductor wafer with which said conductor layer was formed.

[Claim 18] The process which forms said conductor layer is the manufacture approach of the semiconductor device according to claim 16 or 17 characterized by being the process which forms said conductor layer at the same process on said 1st resin layer and the 2nd resin layer.

[Claim 19] The manufacture approach of the semiconductor device according to claim 16 or 17 characterized by having further the process which forms the resin layer of a wrap 3rd for said conductor layer on the resin layer formed in said component forming face side after the process which forms said conductor layer.

[Claim 20] The process which forms the resin layer of a wrap 3rd for said conductor layer on the resin layer formed in said component forming face side after the process which forms said conductor layer, The process which forms alternatively opening which exposes said conductor layer to said 3rd resin layer, The manufacture approach of the semiconductor device according to claim 16 or 17 characterized by having further the process which forms the conductive letter member of a projection on said 3rd resin layer so that said opening may be filled up and it may project from the top face of said 3rd resin layer.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention secures the electric connection between an external device and a semiconductor device while protecting the semiconductor device on a substrate, and it relates to the semiconductor device which enables high-density mounting, and its manufacture approach.

[0002]

[Description of the Prior Art] In recent years, the pitch of an electrode terminal has narrowedized the semiconductor device while the number of the I/O (I/O) pins of a semiconductor device increases with advanced features and a miniaturization of electronic equipment. For this reason, a limitation is appearing in connection with the semiconductor device and external connection terminal by the wire-bonding method used for QFP (Quad Flat Package) which is the representation of the packaging technique of the conventional semiconductor device. Then, BGA (Ball Grid Array), CSP (Chip Scale Package), etc. which have an external connection terminal at the rear face of a semiconductor device are developed, and its head is raised. However, in such packaging technique, the problem of narrow-izing of the electrode terminal of a semiconductor device is not solved. Therefore, further wiring from an electrode terminal was performed on the semiconductor device, and the packaging technique which is indicated by JP,10-79362,A of carrying out rewiring so that spacing of pads may spread has also appeared. By this technique, development of compact packages, such as CSP, is progressing quickly.

[0003] It explains referring to a drawing hereafter about the structure of the conventional package by which rewiring was carried out on the semiconductor device.

[0004] Drawing 13 (a) and drawing 13 (b) are the semiconductor devices of the conventional CSP mold, drawing 13 (a) shows the flat-surface configuration by the side of the component forming face of a semiconductor chip, and drawing 13 (b) shows the cross-section configuration in the XIIIb-XIIIb line of (a). As shown in drawing 13 (b), on the principal plane of the semiconductor chip 101 which consists of silicon, the metal wiring layer 104 which is rewiring electrically connected with the semiconductor device 102, the electrode terminal 103, and this electrode terminal 103 which form an integrated circuit is formed. Moreover, as shown in drawing 13 (a) and (b), on the metal wiring layer 104, two or more bumps 105 are formed in the shape of an array, it is covered with the insulating resin layer 106 which closes a semiconductor device 102, an electrode terminal 103, and the metal wiring layer 104 except for a bump 105 on the semiconductor chip 101, and the bump 107 for external connection who makes electrical installation with the exterior possible is formed on each bump 105.

[0005] Thus, the insulating resin layer 106 of the conventional CSP mold semiconductor device is formed only on the component forming face which is a principal plane of a semiconductor chip 101.

[0006]

[Problem(s) to be Solved by the Invention] However, since the insulating resin layer 106 is formed using a resin seal method, said conventional semiconductor device is formed only in the component forming face which is one side of a semiconductor chip 101. Therefore, when the members by the side of a component forming face (thickness or coefficient of thermal expansion), i.e., the member of the insulating resin layer 106, this component forming face, and the opposite side, i.e., the physical properties of a semiconductor chip 101, differ to a semiconductor chip 101, imbalance arises and it has the problem that curvature occurs in a semiconductor device. Moreover, in order to expose the component forming face of a semiconductor chip 101, and the field (rear face) of the opposite side, it becomes easy to produce chips, such as a chipping, in a semiconductor chip 101.

[0007] This invention aims at making it wiring in a semiconductor device become still easier while it solves said conventional problem and prevents the curvature of the semiconductor device of a CSP mold.

[0008]

[Means for Solving the Problem] The semiconductor device applied to this invention in order to attain the aforementioned purpose was formed on the semiconductor chip which has the semiconductor device formed on the component forming face, and the semiconductor chip, was formed on the 1st resin layer which closes a semiconductor device, and the 1st resin layer, and is equipped with the wiring layer which consists of a conductor electrically connected with the semiconductor device, and the 2nd resin layer formed in the component forming face in a semiconductor chip, and the field of the opposite side.

[0009] Since according to the semiconductor device of this invention it has the 2nd resin layer formed in the component forming face in a semiconductor chip, and the field of the opposite side and the imbalance of the physical properties by the side of the component forming face of a semiconductor chip and a rear face can be

suppressed, the curvature of a semiconductor chip can be prevented. Consequently, the adhesion of wiring (bump) of the semiconductor chip at the time of mounting improves. Moreover, since the impact which joins a semiconductor chip is mitigable with the 2nd resin layer, the chipping of a semiconductor chip can be prevented, even if it does not prepare a pad in the central part of a semiconductor chip only by preparing a terminal in the periphery section of a semiconductor chip since it moreover has the wiring layer which was formed on the 1st resin layer which closes a semiconductor device, and was electrically connected with the semiconductor device for example, — a 1st resin layer top — this — it becomes possible to take the flow from the semiconductor device covered with the 1st resin layer. Consequently, since it becomes unnecessary to prepare a pad with a very large area in a component forming face compared with a component, while wiring in a semiconductor device becomes easy, the miniaturization of equipment can also be attained easily.

[0010] As for the semiconductor device of this invention, it is desirable to have further the conductor layer formed on the field of the semiconductor chip in the 2nd resin layer and the opposite side. If it does in this way, the touch-down potential to a semiconductor chip can be easily supplied only by supplying touch-down potential to a conductor layer.

[0011] the semiconductor device of this invention — a 1st resin layer top — this — it is desirable to have further the conductive letter member of a projection which is formed so that it may project from the top face of the 1st resin layer, and is electrically connected with the wiring layer. If it does in this way, the so-called secondary mounting which mounts the 1st semiconductor device of this invention to a printed circuit board etc. will become easy.

[0012] In the semiconductor device of this invention, it is desirable that the 2nd resin layer contains the insulating filler which has high temperature conductivity, such as an alumina or aluminum nitride. If it does in this way, it can become possible to emit easily the heat emitted from a semiconductor chip to the exterior of a semiconductor device, and the long-term dependability of a semiconductor device can be raised.

[0013] In the semiconductor device of this invention, it is desirable that the filler of ***** which the 2nd resin layer becomes from carbon, copper, or nickel is included. If it does in this way, since touch-down potential can be easily obtained from the rear face of a semiconductor chip, the degree of freedom of a mounting gestalt becomes large.

[0014] The body of a semi-conductor wafer which has two or more semiconductor devices in which the semi-conductor wafer concerning this invention was formed for two or more predetermined fields of every on a component forming face, The 1st resin layer which is formed on the body of a semi-conductor wafer, and closes each semiconductor device, It was formed the whole predetermined field on the 1st resin layer, and has the wiring layer which consists of a conductor electrically connected with each semiconductor device, and the 2nd resin layer formed in the component forming face in the body of a semi-conductor wafer, and the field of the opposite side.

[0015] Thus, the semi-conductor wafer of this invention has the gestalt of the wafer level of the semiconductor device of the shape of a chip of this invention, therefore only divides a semiconductor device wafer for every predetermined field, and can obtain the semiconductor device of this invention.

[0016] As for the semi-conductor wafer of this invention, it is desirable to have further the body of a semi-conductor wafer in the 2nd resin layer and the conductor layer formed on the field of the opposite side.

[0017] As for the semi-conductor wafer of this invention, it is desirable to have further the conductive letter member of a projection which is formed for every predetermined field on the 1st resin layer so that it may project from the top face of the 1st resin layer, and is electrically connected with the wiring layer.

[0018] In the semi-conductor wafer of this invention, it is desirable that the 2nd resin layer contains a thermally conductive filler.

[0019] In the semi-conductor wafer of this invention, it is desirable that the 2nd resin layer contains a conductive filler.

[0020] In the semi-conductor wafer of this invention, it is desirable that the field on the boundary part of a predetermined field is removed for either [at least] the 1st resin layer or the 2nd resin layer. Since the amount of cutting of resin material can be reduced in case it will divide into the piece of an individual (semiconductor chip) by performing dicing to the body of a semi-conductor wafer, if it does in this way, wear of the gear tooth of the cutting means in dicer equipment can be prevented at the time of dicing.

[0021] The manufacture approach of the 1st semiconductor device concerning this invention The process which applies the 1st resin material on one field of the component forming face and this component forming face in the semi-conductor substrate which has the semiconductor device formed on the component forming face, and the fields of the opposite side, and by stiffening the 1st applied resin material The process which forms the 1st resin layer which consists of the 1st resin material, the process which applies the 2nd resin material on the field of another side in a semi-conductor substrate, and by stiffening the 2nd applied resin material It has the process which forms a conductor layer on the resin layer of the process which forms the 2nd resin layer which consists of the 2nd resin material, the 1st resin layer, and the 2nd resin layer formed in the component forming face side at least.

[0022] Since a conductor layer is formed on the resin layer formed in the component forming face side at least while preparing a resin layer on the component forming face of a semi-conductor substrate which has a semiconductor device, and this component forming face and both sides of the opposite side according to the manufacture approach of the 1st semiconductor device, the semiconductor device of this invention is certainly realizable.

[0023] The manufacture approach of the 2nd semiconductor device concerning this invention The process which

applies the 1st resin material on one field of the component forming face and this component forming face in the semi-conductor substrate which has the semiconductor device formed on the component forming face, and the fields of the opposite side, The process which makes the hardening condition of the 1st applied resin material shift even to the preceding paragraph story condition (the so-called B stage condition) of hardening, The process which applies the 2nd resin material on the field of another side in a semi-conductor substrate, and the process which makes the hardening condition of the 2nd applied resin material shift even to the preceding paragraph story condition of hardening, While forming the 1st resin layer which consists of the 1st resin material by stiffening the 1st resin material and the 2nd resin material from the preceding paragraph story condition of hardening It has the process which forms a conductor layer on the resin layer of the process which forms the 2nd resin layer which consists of the 2nd resin material, the 1st resin layer, and the 2nd resin layer formed in the component forming face side at least.

[0024] Since according to the manufacture approach of the 2nd semiconductor device the 1st and 2nd resin material applied on the component forming face of a semi-conductor substrate which has a semiconductor device, and both sides of this component forming face and the field of the opposite side is considered [both] as as [B stage condition], the 1st and 2nd resin material is collectively stiffened at a back process and the setting time of resin material can be shortened compared with the 1st manufacture approach of this invention, the throughput of a production process can be improved.

[0025] As for the manufacture approach of the 1st or 2nd semiconductor device, it is desirable to have further the process which forms the resin layer of a wrap 3rd for a conductor layer on the resin layer formed in the component forming face side after the process which forms a conductor layer. If it does in this way, since a conductor layer will be protected by the 3rd resin layer, the long-term dependability of the semiconductor device obtained by the manufacture approach of this invention can be improved.

[0026] The process which forms the resin layer of a wrap 3rd for a conductor layer on the resin layer formed in the component forming face side after the process in which the manufacture approach of the 1st or 2nd semiconductor device forms a conductor layer, It is desirable to have further the process which forms the conductive letter member of a projection on the process which forms alternatively opening which exposes a conductor layer to the 3rd resin layer, and the 3rd resin layer so that opening may be filled up and it may project from the top face of the 3rd resin layer. If it does in this way, mounting will become easy when it mounts the semiconductor device obtained by the manufacture approach of this invention the 2nd order.

[0027] The manufacture approach of the 3rd semiconductor device concerning this invention The process which applies the 1st resin material on one field of the component forming face and this component forming face in the semi-conductor wafer which has two or more semiconductor devices formed for two or more predetermined fields of every on a component forming face, and the fields of the opposite side, The process which forms the 1st resin layer which consists of the 1st resin material by stiffening the 1st applied resin material, the process which applies the 2nd resin material on the field of another side in a semi-conductor substrate, and by stiffening the 2nd applied resin material The process which forms a conductor layer on the resin layer of the process which forms the 2nd resin layer which consists of the 2nd resin material, the 1st resin layer, and the 2nd resin layer formed in the component forming face side at least, It has the process which divides a semi-conductor wafer for two or more predetermined field of every which can be set to the semi-conductor wafer with which the conductor layer was formed.

[0028] According to the manufacture approach of the 3rd semiconductor device, the semi-conductor wafer concerning this invention can be formed certainly, and the package packaging in the wafer level of the semiconductor device concerning this invention becomes still more possible.

[0029] The manufacture approach of the 4th semiconductor device concerning this invention The process which applies the 1st resin material on one field of the component forming face and this component forming face in the semi-conductor wafer which has two or more semiconductor devices formed for two or more predetermined fields of every on a component forming face, and the fields of the opposite side, The process which makes the hardening condition of the 1st applied resin material shift even to the preceding paragraph story condition of hardening, The process which applies the 2nd resin material on the field of another side in a semi-conductor wafer, While forming the 1st resin layer which consists of the 1st resin material the process which makes the hardening condition of the 2nd applied resin material shift even to the preceding paragraph story condition of hardening, and by stiffening the 1st resin material and the 2nd resin material from the preceding paragraph story condition of hardening The process which forms a conductor layer on the resin layer of the process which forms the 2nd resin layer which consists of the 2nd resin material, the 1st resin layer, and the 2nd resin layer formed in the component forming face side at least, It has the process which divides a semi-conductor wafer for two or more predetermined field of every which can be set to the semi-conductor wafer with which the conductor layer was formed.

[0030] According to the manufacture approach of the 4th semiconductor device, the 1st and 2nd resin material applied on the component forming face of a semi-conductor wafer which has two or more semiconductor devices, and both sides of this component forming face and the field of the opposite side is considered [both] as as [B stage condition]. Since the 1st and 2nd resin material is collectively stiffened at a back process and the setting time of resin material can be shortened compared with the 3rd manufacture approach of this invention, the throughput of manufacture improves.

[0031] In the manufacture approach of the 3rd or 4th semiconductor device, it is desirable that the process which forms a conductor layer is a process which forms a conductor layer at the same process on the 1st resin layer and

the 2nd resin layer. If it does in this way, a conductor layer can be formed collectively and the throughput of manufacture can be improved.

[0032] The manufacture approach of the 3rd or 4th semiconductor device is further equipped with the process which forms the resin layer of a wrap 3rd for a conductor layer on the resin layer formed in the component forming face side after the process which forms a conductor layer.

[0033] The process which forms the resin layer of a wrap 3rd for a conductor layer on the resin layer formed in the component forming face side after the process in which the manufacture approach of the 3rd or 4th semiconductor device forms a conductor layer, It has further the process which forms the conductive letter member of a projection on the process which forms alternatively opening which exposes a conductor layer to the 3rd resin layer, and the 3rd resin layer so that opening may be filled up and it may project from the top face of the 3rd resin layer.

[0034]

[Embodiment of the Invention] (1st operation gestalt) It explains, referring to a drawing about the 1st operation gestalt of this invention.

[0035] Drawing 1 shows the cross-section configuration of the semiconductor device concerning the 1st operation gestalt of this invention. In drawing 1, the semiconductor device 12 which constitutes an integrated circuit is formed in the component forming face which is a principal plane of a semiconductor chip 11. A semiconductor device 12 is covered with the passivation film 13 which consists of silicon oxide which is a protective coat, and this passivation film 13 is covered with the 1st resin layer 14 for the closures.

[0036] The electrode terminal 15 electrically connected with the semiconductor device 12 is formed in the periphery section on a component forming face, and the metal wiring layer 16 with which it connects on the 1st resin layer 14 in the periphery section at least as electrically as an electrode terminal 15 is formed.

[0037] Furthermore, the component forming face of a semiconductor chip 11 and the field (rear face) of the opposite side are covered with the 2nd resin layer 17 as a description of this operation gestalt.

[0038] Drawing 2 shows the cross-section configuration of the semiconductor device concerning the 1st modification of this operation gestalt. In drawing 2, explanation is omitted by giving the same sign to the same configuration member as the configuration member shown in drawing 1. As shown in drawing 2, the metal wiring layer 16 concerning the 1st modification is formed so that it may have a predetermined circuit pattern on the 1st resin layer 14, and while giving insulation with the exterior to this metal wiring layer 16, on the metal wiring layer 16, the solder resist layer 18 with two or more openings which expose alternatively a part of metal wiring layer 16 is formed. On the solder resist layer 18, the projection electrode 19 which consists of a solder ball as a letter member of a projection of the shape of an island which is filled up with each opening and projected from the top face is formed.

[0039] Drawing 3 shows the cross-section configuration of the semiconductor device concerning the 2nd modification of this operation gestalt. In drawing 3, explanation is omitted by giving the same sign to the same configuration member as the configuration member shown in drawing 2. As shown in drawing 3, the semiconductor device concerning the 2nd modification has the conductor layer 21 which consists of copper on the semiconductor chip 11 of the 2nd resin layer 17, and the field of the opposite side. Thereby, the heat dissipation nature of a semiconductor chip 11 can be raised.

[0040] Thus, the 1st resin layer 14 which closes a semiconductor device 12 is formed on the passivation film [in / in the semiconductor device concerning this operation gestalt / the component forming face of a semiconductor chip 11] 13, and the 2nd resin layer 17 is formed also in the component forming face of a semiconductor chip 11, and the field of the opposite side. Furthermore, since the metal wiring layer 16 is formed on the 1st resin layer 14, the electric flow with the exterior is secured.

[0041] Moreover, since two or more projection electrodes 19 are formed on the 1st resin layer 14, it becomes easy to secondary mount [which mounts this semiconductor device in a printed circuit board etc.] the semiconductor device concerning the 1st or 2nd modification.

[0042] Here, the almost same thing of the thickness of the thickness of the 1st resin layer 14 and the 2nd resin layer 17 is desirable. However, even if it is the case where the thickness of both the resin layers 14 and 17 differs, extent of the curvature of a semiconductor chip 11 is mitigated. For example, considering the case where the chip size of a semiconductor chip 11 is about 10mmx10mm Thickness of the 1st resin layer 14 is set to 30 micrometers. The thickness of the 2nd resin layer 17 When the curvature condition of a semiconductor chip 11 was measured as 0 micrometer, 10 micrometers, 30 micrometers, or 50 micrometers, respectively and the thickness of the 2nd resin layer was 0 micrometer, the curvature from which the periphery section of a chip is about 60 micrometers, and a component forming face side serves as a concave configuration occurred. Moreover, it is checking that about 40-micrometer curvature occurs in a component forming face side when thickness is 10 micrometers, 5-micrometer curvature occurs in a component forming face and the opposite side when thickness is 30 micrometers, and about 35-micrometer curvature occurs in a component forming face and the opposite side when thickness is 50 micrometers.

[0043] As explained above, when the thickness of the 1st resin layer 14 and the thickness of the 2nd resin layer 17 approximate mutually, the amount of curvatures of a semiconductor chip 11 becomes small. Moreover, this amount of curvatures is changed with a coefficient of thermal expansion or Young's modulus etc. which is the physical properties of each resin layers 14 and 17 formed in a component forming face and its rear face. Generally, since it is large compared with the coefficient of thermal expansion of a semiconductor chip 11, if the coefficient of thermal expansion of resin material forms a resin layer only on a semiconductor device 12, the curvature which curves in the

component forming face side will produce a semiconductor chip 11.

[0044] It explains referring to a drawing hereafter about the manufacture approach of the semiconductor device concerning the 1st modification of this operation gestalt constituted as mentioned above.

[0045] Drawing 4 (a) – drawing 4 (i) show the cross-section configuration of the order of a process of the manufacture approach of the semiconductor device concerning the 1st modification of this operation gestalt. First, as shown in drawing 4 (a), 1st resin material 14A which uses a spin coat method and has photosensitivity on the semiconductor chip (semi-conductor substrate) 11 which has the semiconductor device 12 covered with the passivation film 13 is applied. As long as there is need, desired time amount and temperature may perform desiccation processing to 1st resin material 14A after spreading. Here, using the negative-mold resin material of Taiyo Ink Mfg. PVI500 series, a semiconductor chip 11 is applied for 40 seconds at the rate of per minute 2000 rotation, and temporary desiccation for 30 minutes is performed after that, using substrate temperature as 80 degrees C. In addition, although the photopolymer was used for 1st resin material 14A, thermosetting resin may be used and screen printing or the coat method by the die coating machine may be used for the method of applying 1st resin material 14A.

[0046] next, it is shown in drawing 4 (b) — as — regular light exposure — 500 mJ/cm² it is — 1st resin material 14A — receiving — light exposure — 1000 mJ/cm² ** — it carries out and upper part 14a of an electrode terminal 15 is exposed through the mask pattern in 1st resin material 14A which carries out a mask using the exposure machine of a projection mold at least.

[0047] Next, as shown in drawing 4 (c), it leaves the sensitization part of 1st resin material 14A by developing 1st exposed resin material 14A using a predetermined developer. Then, as shown in drawing 4 (d), by making it harden by performing heat treatment of about 1 hour to 1st resin material 14A, using substrate temperature as 150 degrees C, it consists of the 1st resin material 14A, and 1st resin layer 14B whose thickness is about 30 micrometers is formed.

[0048] Next, as shown in drawing 4 (e), like 1st resin material 14A, with a spin coat method, it applies for 40 seconds, rotating a semiconductor chip 11 for 2nd resin material 17A which consists of the above-mentioned negative-mold resin at the rate of per minute 2000 rotation, and temporary desiccation for 30 minutes is carried out to the field of 1st resin layer 14B of a semiconductor chip 11, and the opposite side after that, using substrate temperature as 80 degrees C. Screen printing or the coat method by the die coating machine may be used also for spreading of 2nd resin material 17A. In addition, although the photopolymer of a negative mold was used for 2nd resin material 17A, the photopolymer or thermosetting resin of a positive type may be used.

[0049] Next, it is light exposure as shown in drawing 4 (f) 1000 mJ/cm² It carries out and the whole surface is exposed to 2nd resin material 17A. Then, by stiffening 2nd resin material 17A by heat treatment of about 1 hour, using substrate temperature as 150 degrees C, it consists of the 2nd resin material 17A, and 2nd resin layer 17B whose thickness is about 30 micrometers is formed. In addition, if there is need, it is also possible to perform predetermined patterning rather than to expose the whole surface of 2nd resin material 17A.

[0050] Next, as shown in drawing 4 (g), the metal wiring layer 16 which consists of copper is formed using a nonelectrolytic plating method on 1st resin layer 14B in a semiconductor chip 11, and an electrode terminal 15. Here, although the nonelectrolytic plating method by copper was used for formation of the metal wiring layer 16, it is possible even if it uses a spatter or vacuum deposition. Furthermore, when the thickness of the metal wiring layer 16 is comparatively thick, the metal wiring layer 16 may be formed by the electrolysis galvanizing method. Moreover, not only copper but gold, silver, or nickel etc. can also be used for the ingredient of the metal wiring layer 16.

[0051] Next, so that it may have two or more opening 18a which exposes this metal wiring 16 on the metal wiring 16, as shown in drawing 4 (h) As the solder resist layer 18 which consists of resin material as 3rd resin layer is formed and it is shown in drawing 4 (i) after that On the solder resist layer 18, while being filled up with each opening 18a, the projection electrode 19 of the shape of an island which consists of a solder ball, respectively is formed so that it may project from the top face of the solder resist layer 18. In addition, the projection electrode 19 may be the letter member of a projection of the shape of an island which consists not only of a solder ball but of a copper ball or solder.

[0052] Moreover, although 1st resin layer 14B was formed ahead of 2nd resin layer 17B, 2nd resin layer 17B may be formed ahead of 1st resin layer 14B.

[0053] Moreover, in the metal wiring formation process shown in drawing 4 (g), if the conductor layer which uses for example, a nonelectrolytic plating method etc. and consists of copper is formed on 2nd resin layer 17B, the semiconductor device concerning the 2nd modification shown in drawing 3 is realizable.

[0054] As explained above, while having 1st resin layer 14A in the component forming face of a semiconductor chip 11, it has 2nd resin layer 17B in a component forming face and the field of the opposite side, and the semiconductor device with which the metal wiring layer 16 and the projection electrode 19 were formed on 1st resin layer 14B can be realized.

[0055] (2nd operation gestalt) It explains hereafter, referring to a drawing about the 2nd operation gestalt of this invention.

[0056] Drawing 5 shows the cross-section configuration of the semiconductor device concerning the 2nd operation gestalt of this invention. In drawing 5 , explanation is omitted by giving the same sign to the same configuration member as the configuration member shown in drawing 2 . As shown in drawing 5 , the semiconductor device concerning this operation gestalt is characterized by the 2nd resin layer 27 formed in the component forming face and the field of the opposite side having thermal conductivity.

[0057] If it does in this way, in order that the heat emitted from a semiconductor device 12 may conduct at the rear face of a semiconductor chip 11 and may also conduct the 2nd resin layer 27 currently further formed in this rear face through a filler with thermal conductivity, heat is efficiently radiated to the exterior of a semiconductor chip 11. Consequently, the long-term dependability of a semiconductor device improves.

[0058] It explains referring to a drawing about the manufacture approach of the semiconductor device constituted as mentioned above hereafter.

[0059] Drawing 6 (a) – drawing 6 (i) show the cross-section configuration of the order of a process of the manufacture approach of the semiconductor device concerning the 2nd operation gestalt of this invention. It is the same process as the 1st operation gestalt, the process shown in drawing 6 (a) – drawing 6 (d) applies 1st resin material 14A on the semiconductor chip 11 covered with the passivation film 13, after it performs patterning to which an electrode terminal 15 is exposed, is stiffened by heat treatment and forms 1st resin layer 14B from 1st resin material 14A.

[0060] Next, as shown in drawing 6 (e), 2nd resin material 27A by which the filler which becomes negative-mold resin of the PVI500 above-mentioned series from about [60wt%] aluminium nitride was added by the field of 1st resin layer 14B of a semiconductor chip 11 and the opposite side is applied with screen printing. The number of the screen versions used for screen-stencil is 150, and thickness of an emulsion is set to 25 micrometers. Then, temporary desiccation for 30 minutes is performed, using substrate temperature as 80 degrees C. The method of application of 2nd resin material 27A can also use a spin coat method or the coat method by the die coating machine besides screen printing. Moreover, the photopolymer or thermosetting resin of a positive type may be used as 2nd resin material 17A.

[0061] Next, it is light exposure as shown in drawing 6 (f) 1000 mJ/cm² It carries out and the whole surface is exposed to 2nd resin material 27A. Then, by stiffening 2nd resin material 27A by heat treatment of about 1 hour, using substrate temperature as 150 degrees C, it consists of the 2nd resin material 27A, and 2nd resin layer 27B whose thickness is about 30 micrometers is formed. In addition, as long as there is need, the whole surface of 2nd resin material 27A may not be exposed, but predetermined patterning may be performed.

[0062] After this, as shown in drawing 6 (g) – drawing 6 (i), the metal wiring 16, the solder resist layer 18, and the projection electrode 19 are formed on 1st resin layer 14B like the 1st operation gestalt.

[0063] Furthermore, in the metal wiring layer formation process shown in drawing 6 (g), a conductor layer may be formed on the field of the semiconductor chip 11 in 2nd resin layer 27B, and the opposite side.

[0064] As explained above, while having 1st resin layer 14A in the component forming face of a semiconductor chip 11, on a component forming face and the field of the opposite side, it has 2nd resin layer 27B which is excellent in heat dissipation nature, and the semiconductor device with which the metal wiring layer 16 and the projection electrode 19 were formed on 1st resin layer 14B can be realized.

[0065] In addition, although aluminium nitride was used as a thermally conductive filler, the same effectiveness can be acquired even if it uses an ingredient with the high thermal conductivity of an alumina etc.

[0066] (3rd operation gestalt) It explains hereafter, referring to a drawing about the 3rd operation gestalt of this invention.

[0067] Drawing 7 shows the cross-section configuration of the semiconductor device concerning the 2nd operation gestalt of this invention. In drawing 7, explanation is omitted by giving the same sign to the same configuration member as the configuration member shown in drawing 2. As shown in drawing 7, the semiconductor device concerning this operation gestalt is characterized by the 2nd resin layer 37 formed in the component forming face and the field of the opposite side having conductivity. Thereby, when a semiconductor chip 11 needs touch-down potential for the rear face, touch-down potential can be easily obtained from the exterior of a semiconductor device.

[0068] Drawing 8 shows the cross-section configuration of the semiconductor device concerning the example of a complete-change form of this operation gestalt. In drawing 8, explanation is omitted by giving the same sign to the same configuration member as the configuration member shown in drawing 7. As shown in drawing 8, the semiconductor device concerning the example of a complete-change form has the conductor layer 21 which consists of copper on the 2nd resin layer 37, i.e., the semiconductor chip 11 of the 3rd resin layer 37, and the field of the opposite side. Thereby, the conductivity of a semiconductor chip 11 and the 3rd resin layer 37 can be raised.

[0069] It explains referring to a drawing hereafter about the manufacture approach of the semiconductor device concerning the example of a complete-change form of this operation gestalt constituted as mentioned above.

[0070] Drawing 9 (a) – drawing 9 (h) show the cross-section configuration of the order of a process of the manufacture approach of the semiconductor device concerning the 3rd operation gestalt of this invention. First, as shown in drawing 9 (a), 1st resin material 14A which uses a spin coat method and has photosensitivity on the semiconductor chip 11 which has the semiconductor device 12 covered with the passivation film 13 is applied. As long as there is need, desired time amount and temperature may perform desiccation processing to 1st resin material 14A after spreading. Here, using the negative-mold resin material of Taiyo Ink Mfg. PVI500 series, a semiconductor chip 11 is applied for 40 seconds at the rate of per minute 2000 rotation, and temporary desiccation for 30 minutes is performed after that, using substrate temperature as 80 degrees C. In addition, although the photopolymer was used for 1st resin material 14A, thermosetting resin may be used and spreading of 1st resin material 14A may use screen printing or the coat method by the die coating machine.

[0071] next, it is shown in drawing 9 (b) — as — regular light exposure — 500 mJ/cm² it is — 1st resin material 14A — receiving — light exposure — 1000 mJ/cm² ** — it carries out and upper part 14a of the electrode

terminal 15 in 1st resin material 14A is exposed through the mask pattern which carries out a mask using the exposure machine of a projection mold.

[0072] Next, as shown in drawing 9 (c), it leaves the sensitization part of resin material 14A by developing 1st exposed resin material 14A using a predetermined developer.

[0073] Thus, 1st resin material 14A in B stage condition (condition of the preceding paragraph story of this hardening in resin material) is formed.

[0074] Next, as shown in drawing 9 (d), 2nd resin material 37A by which the filler which becomes negative-mold resin of the PVI500 above-mentioned series from about [80wt%] silver palladium was added by the field of 1st resin layer 14B of a semiconductor chip 11 and the opposite side is applied with screen printing. The number of the screen versions is 150 and thickness of an emulsion is set to 25 micrometers. Then, temporary desiccation for 30 minutes is performed, using substrate temperature as 80 degrees C. Thereby, the condition of hardening of 2nd resin material 37A will be in B stage condition. In addition, the method of application of 2nd resin material 37A can also use a spin coat method or the coat method by the die coating machine besides screen printing. Moreover, the photopolymer or thermosetting resin of a positive type may be used for 3rd resin material 37A.

[0075] Next, while forming 1st resin layer 14B from 1st resin material 14A when substrate temperature performs heat treatment of about 1 hour at 150 degrees C and stiffens 1st resin material 14A and 2nd resin material 37A collectively as shown in drawing 9 (e), 2nd resin layer 37B is formed from 2nd resin material 37A.

[0076] Next, as shown in drawing 9 (f), while forming the metal wiring layer 16 which consists of copper using the non-electrolytic copper galvanizing method on 1st resin layer 14B in a semiconductor chip 11, and an electrode terminal 15, the conductor layer which consists of copper is formed on 2nd resin layer 37B. In addition, the metal wiring layer 16 and a conductor layer 21 may be formed with a spatter or vacuum deposition. When the thickness of the metal wiring layer 16 and a conductor layer 21 is comparatively thick, you may form using the electrolysis galvanizing method. Moreover, gold, silver, or nickel is sufficient as the ingredient of the metal wiring layer 16, and gold, silver, nickel, titanium, palladium, or chromium is sufficient as the ingredient of a conductor layer 21.

[0077] After this, as shown in drawing 9 (g) and drawing 9 (h), the solder resist layer 18 and the projection electrode 19 are formed on the metal wiring 16 like the 1st operation gestalt.

[0078] As explained above, while having 1st resin layer 14A in the component forming face of a semiconductor chip 11 and having 2nd conductive resin layer 37B and a conductor layer 21 in a component forming face and the field of the opposite side, the semiconductor device which has the metal wiring layer 16 and the projection electrode 19 on 1st resin layer 14B is realizable. Thereby, in the semiconductor chip 11 with which touch-down potential is demanded, touch-down potential can be easily supplied to a component forming face and the field of the opposite side at the substrate potential of a semiconductor device.

[0079] In addition, as a filler included in 2nd resin material 37A, although silver palladium was used, even if it uses the conductor material which uses not only this but gold, silver, copper, nickel, or carbon etc. as a principal component, equivalent effectiveness can be acquired.

[0080] Moreover, it cannot be overemphasized that the semiconductor device using 2nd resin material 27A which has the 2nd resins 17A which has insulation instead of or pyroconductivity can be manufactured. [2nd resin material 37A which has the conductivity used with this operation gestalt]

[0081] (4th operation gestalt) It explains hereafter, referring to a drawing about the 4th operation gestalt of this invention.

[0082] Drawing 10 (a) – drawing 10 (c) show the semi-conductor wafer and semiconductor device concerning the 4th operation gestalt of this invention, (a) is the perspective view in which being the perspective view showing a semi-conductor wafer, and showing the component forming face side of the semiconductor chip with which (b) was started from the semi-conductor wafer, and (c) is the perspective view showing the opposite side of the component forming face in the semiconductor chip shown in (b). As shown in drawing 10 (a), two or more component formation field 51b which two or more dicing (division) Rhine 51a which crosses mutually comes to surround is prepared in the component forming face of the body 51 of a semi-conductor wafer. The semiconductor device 52 shown in drawing 10 (b), respectively is formed in each component formation field 51b.

[0083] As shown in drawing 10 (b), the semiconductor device 52 in each component formation field 51b a semiconductor device (not shown) — the resin layer 14 of a wrap 1st — this — the 1st resin layer 14 with the wrap metal wiring layer 16 It has the projection electrode 19 which consists of a solder ball electrically connected with the solder resist layer 18 which insulates this metal wiring layer 16 with the exterior, and has two or more openings, and the metal wiring layer 16 exposed to each opening on this solder resist layer 18. Here, signs that a part of solder resist layer 18 was removed are expressed. Thus, the semi-conductor wafer 50 concerning this operation gestalt says the substrate in the condition that each semiconductor device 52 was formed in each component formation field 51b of the body 51 of a semi-conductor wafer, respectively.

[0084] Therefore, as shown in drawing 10 (b), by dividing by dicing line 51a of the semi-conductor wafer 50, and obtaining semiconductor chip 51c, a semiconductor device 52 can be obtained easily, and as shown in drawing 10 (c), the 2nd resin layer 17 is formed in the component forming face of semiconductor chip 51c, and the field of the opposite side.

[0085] Since a spreading side is the body 51 of a semi-conductor wafer and a resin stratification field reaches far and wide, as for the 1st resin layer 14 and the 2nd resin layer 17 in this operation gestalt, the amount of curvatures of the body 51 of a semi-conductor wafer will become large. Therefore, the almost equivalent thing of each thickness of the 1st resin layer 14 and the 2nd resin layer 17 is desirable. Thickness of the 1st resin layer 14 is set

to 30 micrometers. For example, the thickness of the 2nd resin layer 17 When the curvature condition of the body 51 of a semi-conductor wafer is measured as 0 micrometer or 30 micrometers, respectively and the thickness of the 2nd resin layer is 0 micrometer It is checking that the curvature from which the periphery section of the body 51 of a semi-conductor wafer is about 900 micrometers, and a component forming face side serves as a concave configuration occurs, and about 50-micrometer curvature occurs in a component forming face side when thickness is 30 micrometers.

[0086] Thus, the amount of curvatures can be decreased now by the 1st resin layer 14 and the 2nd resin layer 17. This amount of curvatures is changed with a coefficient of thermal expansion or Young's modulus etc. which is the physical properties of each resin layers 14 and 17 formed in a component forming face and its rear face, as mentioned above. Generally, since the coefficient of thermal expansion of resin material is larger than the coefficient of thermal expansion of the body 51 of a semi-conductor wafer, when a resin layer is formed only on a component forming face, the body 51 of a semi-conductor wafer will curve greatly in the component forming face side.

[0087] It explains referring to a drawing hereafter about the manufacture approach of of the semi-conductor wafer and semiconductor device which were constituted as mentioned above.

[0088] Drawing 11 (a) – drawing 11 (e) and drawing 12 (a) – drawing 12 (e) show the cross-section configuration of the order of a process of the manufacture approach of of the semi-conductor wafer and semiconductor device concerning this operation gestalt. Here, only the field for two of two or more component formation field 51b contained in the semi-conductor wafer 50 is illustrated on account of illustration.

[0089] First, as shown in drawing 11 (a), 1st resin material 14A which uses a spin coat method and has photosensitivity on the body 51 of a semi-conductor wafer which has the semiconductor device 12 covered with the passivation film 13 is applied. As long as there is need, desired time amount and temperature may perform desiccation processing to 1st resin material 14A after spreading. The body 51 of a semi-conductor wafer is applied for 40 seconds at the rate of per minute 2000 rotation, temporary desiccation for 30 minutes is performed using substrate temperature as 80 degrees C, and 1st resin material 14A is made to shift to B stage condition after that here using the negative-mold resin material of Taiyo Ink Mfg. PVI500 series. In addition, although the photopolymer was used for 1st resin material 14A, thermosetting resin may be used and screen printing or the coat method by the die coating machine may be used as a method of applying 1st resin material 14A.

[0090] next, it is shown in drawing 11 (b) — as — regular light exposure — 500 mJ/cm² it is — 1st resin material 14A — receiving — light exposure — 1000 mJ/cm² ** — carrying out — the exposure machine of a projection mold — using — the edge of a component formation field — and upper part 14a of the electrode terminal 15 in 1st resin material 14A is exposed through the mask pattern which carries out a mask.

[0091] Next, as shown in drawing 11 (c), it leaves the sensitization part of 1st resin material 14A by developing 1st exposed resin material 14A using a predetermined developer. Thereby, the field on dicing line 51a in 1st resin material 14A is removed.

[0092] Next, as shown in drawing 11 (d), by making it harden by performing heat treatment of about 1 hour to 1st resin material 14A, using substrate temperature as 150 degrees C, it consists of the 1st resin material 14A, and 1st resin layer 14B whose thickness is about 30 micrometers is formed.

[0093] As shown in drawing 11 (e), like 1st resin material 14A to the field of 1st resin layer 14B of the body 51 of a semi-conductor wafer, and the opposite side next, with a spin coat method 2nd resin material 17A which consists of the above-mentioned negative-mold resin is applied for 40 seconds, rotating the body 51 of a semi-conductor wafer at the rate of per minute 2000 rotation, temporary desiccation for 30 minutes is performed using substrate temperature as 80 degrees C, and 2nd resin material 17A is made to shift to B stage condition after that. Screen printing or the coat method by the die coating machine may be used also for spreading of 2nd resin material 17A. In addition, although the photopolymer of a negative mold was used for 2nd resin material 17A, the photopolymer or thermosetting resin of a positive type may be used.

[0094] Next, it is light exposure as shown in drawing 12 (a) 1000 mJ/cm² It carries out and the whole surface of 2nd resin material 17A is exposed. Then, by stiffening 2nd resin material 17A by heat treatment of about 1 hour, using substrate temperature as 150 degrees C, it consists of the 2nd resin material 17A, and 2nd resin layer 17B whose thickness is about 30 micrometers is formed. In addition, if there is need, it is also possible to perform predetermined patterning rather than to expose the whole surface of 2nd resin material 17A. It is desirable to perform patterning so that the field on dicing line 51a in 2nd resin material 17A may be removed especially.

[0095] Next, as shown in drawing 12 (b), the metal wiring layer 16 which consists of copper is formed on 1st resin layer 14B and an electrode terminal 15 using a nonelectrolytic plating method. Here, although the nonelectrolytic plating method by copper was used for formation of the metal wiring layer 16, a spatter or vacuum deposition may be used. Furthermore, when the thickness of the metal wiring layer 16 is comparatively thick, the metal wiring layer 16 may be formed by the electrolysis galvanizing method. Moreover, not only copper but gold, silver, or nickel etc. can also be used for the ingredient of the metal wiring layer 16.

[0096] Next, the solder resist layer 18 which consists of resin material as 3rd resin layer is formed, and as shown in drawing 12 (c), as shown in drawing 12 (d) after that, the projection electrode 19 set to each opening 18a on the solder resist layer 18 from a solder ball is formed so that it may have two or more opening 18a which exposes this metal wiring 16 on the metal wiring 16. In addition, the projection electrode 19 may be a letter member of a projection which consists not only of a solder ball but of a copper ball or solder. [0097] As shown in drawing 12 (e), using a dicer 60 next, by dividing the body 51 of a semi-conductor wafer into each semiconductor chip 51c along with dicing line 51a of the body 51 of a semi-conductor wafer While having 1st resin layer 14A in the component

forming face of semiconductor chip 51c, it has 2nd resin layer 17B in a component forming face and the field of the opposite side, and the semiconductor device with which the metal wiring layer 16 and the projection electrode 19 were formed on 1st resin layer 14B can be obtained. Here, since the field on dicing line 51a in either [at least] 1st resin layer 14B or 2nd resin layer 17B is removed and the amount of cutting of resin material is reduced in case each semiconductor chip 51c is started, wear of the gear tooth of a dicer 60 can be prevented.

[0098] Since the assembly of a semiconductor device 52 can be performed on wafer level as explained above, package packaging becomes possible and the manufacturing cost of a semiconductor device can be reduced.

[0099] In addition, although 1st resin layer 14B was formed ahead of 2nd resin layer 17B, 2nd resin layer 17B may be formed first.

[0100] Moreover, in the metal wiring layer formation process shown in drawing 12 (b), a conductor layer may be formed on the body 51 of a semi-conductor wafer of 2nd resin layer 17B, and the field of the opposite side.

[0101] Moreover, thermal conductivity or conductivity may be given to 2nd resin layer 17B like the 1st or 2nd operation gestalt.

[0102] Moreover, like the 3rd operation gestalt, 1st resin material 14A is held in the state of B stage, and if it bundles up with 2nd resin material 17A and hardens, a production process can be shortened.

[0103]

[Effect of the Invention] Since according to the semiconductor device concerning this invention it has the 2nd resin layer formed in the component forming face in a semiconductor chip, and the field of the opposite side and the curvature of a semiconductor chip can be prevented, the adhesion of wiring at the time of mounting of a semiconductor chip improves. Moreover, since it has the wiring layer on the 1st resin layer, wiring in a semiconductor device becomes easy.

[0104] Since the semi-conductor wafer concerning this invention has the gestalt of the wafer level of the semiconductor device concerning this invention and it can obtain the semiconductor device concerning this invention collectively, it can reduce a manufacturing cost sharply.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the configuration sectional view showing the semiconductor device concerning the 1st operation gestalt of this invention.

[Drawing 2] It is the configuration sectional view showing the semiconductor device concerning the 1st modification of the 1st operation gestalt of this invention.

[Drawing 3] It is the configuration sectional view showing the semiconductor device concerning the 2nd modification of the 1st operation gestalt of this invention.

[Drawing 4] (a) - (i) is the configuration sectional view of the order of a process showing the manufacture approach of the semiconductor device concerning the 1st modification of the 1st operation gestalt.

[Drawing 5] It is the configuration sectional view showing the semiconductor device concerning the 2nd operation gestalt of this invention.

[Drawing 6] (a) - (i) is the configuration sectional view of the order of a process showing the manufacture approach of the semiconductor device concerning the 2nd operation gestalt of this invention.

[Drawing 7] It is the configuration sectional view showing the semiconductor device concerning the 3rd operation gestalt of this invention.

[Drawing 8] It is the configuration sectional view showing the semiconductor device concerning the example of a complete-change form of the 3rd operation gestalt of this invention.

[Drawing 9] (a) - (h) is the configuration sectional view of the order of a process showing the manufacture approach of the semiconductor device concerning the 3rd operation gestalt of this invention.

[Drawing 10] (a) - (c) shows the semi-conductor wafer and semiconductor device (chip) concerning the 4th operation gestalt of this invention, (a) is the perspective view in which being the perspective view showing a semi-conductor wafer, and showing the component forming face side of the semiconductor chip with which (b) was started from the semi-conductor wafer, and (c) is the perspective view showing the opposite side of the component forming face in the semiconductor chip shown in (b).

[Drawing 11] (a) - (e) is the configuration sectional view of the order of a process showing the manufacture approach of the semiconductor device concerning the 4th operation gestalt of this invention.

[Drawing 12] (a) - (e) is the configuration sectional view of the order of a process showing the manufacture approach of the semiconductor device concerning the 4th operation gestalt of this invention.

[Drawing 13] (a) And (b) shows the semiconductor device of the conventional CSP mold, (a) is the top view showing the component forming face side of a semiconductor chip, and (b) is a sectional view in the XIIIb-XIIIb line of (a).

[Description of Notations]

11 Semiconductor Chip

12 Semiconductor Device

13 Passivation Film

14 1st Resin Layer

14A 1st resin material

14B The 1st resin layer

15 Electrode Terminal

16 Metal Wiring Layer (Conductor Layer)

17 2nd Resin Layer

17A 2nd resin material

17B The 2nd resin layer

18 Solder Resist Layer (3rd Resin Layer)

18a Opening

19 Projection Electrode (Letter Member of Projection)

21 Conductor Layer

27 2nd Resin Layer

27A 2nd resin material

27B The 2nd resin layer

37 2nd Resin Layer

37A 2nd resin material

37B The 2nd resin layer

50 Semi-conductor Wafer
51 Body of Semi-conductor Wafer
51a Dicing line
51b Component formation field
51c Semiconductor chip
52 Semiconductor Device
60 Dicer

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-77231

(P2001-77231A)

(43)公開日 平成13年3月23日 (2001.3.23)

(51)Int.Cl.⁷
H 01 L 23/12
23/29
23/31
// H 01 L 21/60

識別記号

F I
H 01 L 23/12
23/30
21/92

テマコード(参考)
L 4 M 1 0 9
D
6 0 2 L

審査請求 未請求 請求項の数20 OL (全 15 頁)

(21)出願番号 特願平11-249919

(22)出願日 平成11年9月3日 (1999.9.3)

(71)出願人 000005843

松下電子工業株式会社
大阪府高槻市幸町1番1号

(72)発明者 中村 嘉文

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(72)発明者 佐原 隆一

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(74)代理人 100077931

弁理士 前田 弘 (外1名)

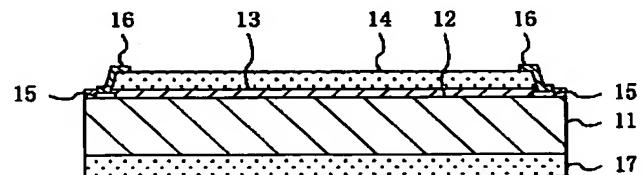
最終頁に続く

(54)【発明の名称】 半導体装置、半導体ウエハ及び半導体装置の製造方法

(57)【要約】

【課題】 C S P型の半導体装置の反りを防止すると共に、半導体装置内の配線を容易にする。

【解決手段】 半導体チップ11の素子形成面には、集積回路を構成する半導体素子12が形成されている。半導体素子12は保護膜であるシリコン酸化物等からなるパッシベーション膜13により覆われ、該パッシベーション膜13は封止用の第1の樹脂層14により覆われている。素子形成面上の周縁部には半導体素子12と電気的に接続されている電極端子15が形成されており、第1の樹脂層14上の少なくとも周縁部には電極端子15と電気的に接続されている金属配線層16が設けられている。



(2)

1

【特許請求の範囲】

【請求項 1】 素子形成面上に形成された半導体素子を有する半導体チップと、前記半導体チップの上に形成され、前記半導体素子を封止する第 1 の樹脂層と、前記第 1 の樹脂層の上に形成され、前記半導体素子と電気的に接続された導体からなる配線層と、前記半導体チップにおける前記素子形成面と反対側の面に形成された第 2 の樹脂層とを備えていることを特徴とする半導体装置。

【請求項 2】 前記第 2 の樹脂層における前記半導体チップと反対側の面上に形成された導体層をさらに備えていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記第 1 の樹脂層の上に該第 1 の樹脂層の上面から突き出るように形成され、前記配線層と電気的に接続されている導電性の突起状部材をさらに備えていることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】 前記第 2 の樹脂層は熱伝導性のフィラーを含むことを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 5】 前記第 2 の樹脂層は導電性のフィラーを含むことを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 6】 素子形成面上の複数の所定領域ごとに形成された複数の半導体素子を有する半導体ウエハ本体と、前記半導体ウエハ本体上に形成され、前記各半導体素子を封止する第 1 の樹脂層と、前記第 1 の樹脂層の上における前記各所定領域ごと形成され、前記各半導体素子と電気的に接続された導体からなる配線層と、前記半導体ウエハ本体における前記素子形成面と反対側の面に形成された第 2 の樹脂層とを備えていることを特徴とする半導体ウエハ。

【請求項 7】 前記第 2 の樹脂層における前記半導体ウエハ本体と反対側の面上に形成された導体層をさらに備えていることを特徴とする請求項 6 に記載の半導体ウエハ。

【請求項 8】 前記第 1 の樹脂層上の前記各所定領域ごとに、前記第 1 の樹脂層の上面から突き出るように形成され、前記配線層と電気的に接続されている導電性の突起状部材をさらに備えていることを特徴とする請求項 6 又は 7 に記載の半導体ウエハ。

【請求項 9】 前記第 2 の樹脂層は熱伝導性のフィラーを含むことを特徴とする請求項 6 又は 7 に記載の半導体ウエハ。

【請求項 10】 前記第 2 の樹脂層は導電性のフィラーを含むことを特徴とする請求項 6 又は 7 に記載の半導体ウエハ。

2

【請求項 11】 前記第 1 の樹脂層及び前記第 2 の樹脂層の少なくとも一方は、前記所定領域の境界部分上の領域が除去されていることを特徴とする請求項 6 又は 7 に記載の半導体ウエハ。

【請求項 12】 素子形成面上に形成された半導体素子を有する半導体基板における前記素子形成面及び該素子形成面と反対側の面のうちの一方の面上に第 1 の樹脂材を塗布する工程と、

塗布された第 1 の樹脂材を硬化させることにより、前記第 1 の樹脂材からなる第 1 の樹脂層を形成する工程と、前記半導体基板における他方の面上に第 2 の樹脂材を塗布する工程と、

塗布された第 2 の樹脂材を硬化させることにより、前記第 2 の樹脂材からなる第 2 の樹脂層を形成する工程と、前記第 1 の樹脂層及び第 2 の樹脂層のうちの少なくとも素子形成面側に形成された樹脂層上に導体層を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 13】 素子形成面上に形成された半導体素子を有する半導体基板における前記素子形成面及び該素子形成面と反対側の面のうちの一方の面上に第 1 の樹脂材を塗布する工程と、

塗布された第 1 の樹脂材の硬化状態を硬化の前段階状態にまで移行させる工程と、

前記半導体基板における他方の面上に第 2 の樹脂材を塗布する工程と、

塗布された第 2 の樹脂材の硬化状態を硬化の前段階状態にまで移行させる工程と、

前記第 1 の樹脂材及び第 2 の樹脂材を硬化の前段階状態から硬化させることにより、前記第 1 の樹脂材からなる第 1 の樹脂層を形成すると共に、前記第 2 の樹脂材からなる第 2 の樹脂層を形成する工程と、

前記第 1 の樹脂層及び第 2 の樹脂層のうちの少なくとも前記素子形成面側に形成された樹脂層上に導体層を形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 14】 前記導体層を形成する工程よりも後に、前記素子形成面側に形成された樹脂層上に前記導体層を覆う第 3 の樹脂層を形成する工程をさらに備えていることを特徴とする請求項 12 又は 13 に記載の半導体装置の製造方法。

【請求項 15】 前記導体層を形成する工程よりも後に、

前記素子形成面側に形成された樹脂層上に前記導体層を覆う第 3 の樹脂層を形成する工程と、

前記第 3 の樹脂層に対して前記導体層を露出する開口部を選択的に形成する工程と、

前記第 3 の樹脂層の上に、前記開口部に充填し且つ前記第 3 の樹脂層の上面から突き出るように導電性の突起状部材を形成する工程とをさらに備えていることを特徴と

(3)

3

する請求項 1 2 又は 1 3 に記載の半導体装置の製造方法。

【請求項 1 6】 素子形成面上の複数の所定領域ごとに形成された複数の半導体素子を有する半導体ウエハにおける前記素子形成面及び該素子形成面と反対側の面のうちの一方の面上に第 1 の樹脂材を塗布する工程と、塗布された第 1 の樹脂材を硬化させることにより、前記第 1 の樹脂材からなる第 1 の樹脂層を形成する工程と、前記半導体基板における他方の面上に第 2 の樹脂材を塗布する工程と、

塗布された第 2 の樹脂材を硬化させることにより、前記第 2 の樹脂材からなる第 2 の樹脂層を形成する工程と、前記第 1 の樹脂層及び第 2 の樹脂層のうちの少なくとも前記素子形成面側に形成された樹脂層上に導体層を形成する工程と、前記導体層が形成された前記半導体ウエハにおける前記複数の所定領域ごとに前記半導体ウエハを分割する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 1 7】 素子形成面上の複数の所定領域ごとに形成された複数の半導体素子を有する半導体ウエハにおける前記素子形成面及び該素子形成面と反対側の面のうちの一方の面上に第 1 の樹脂材を塗布する工程と、塗布された第 1 の樹脂材の硬化状態を硬化の前段階状態にまで移行させる工程と、前記半導体ウエハにおける他方の面上に第 2 の樹脂材を塗布する工程と、塗布された第 2 の樹脂材の硬化状態を硬化の前段階状態にまで移行させる工程と、前記第 1 の樹脂材及び第 2 の樹脂材を硬化の前段階状態から硬化させることにより、前記第 1 の樹脂材からなる第 1 の樹脂層を形成すると共に、前記第 2 の樹脂材からなる第 2 の樹脂層を形成する工程と、前記第 1 の樹脂層及び第 2 の樹脂層のうちの少なくとも前記素子形成面側に形成された樹脂層上に導体層を形成する工程と、前記導体層が形成された前記半導体ウエハにおける前記複数の所定領域ごとに前記半導体ウエハを分割する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 1 8】 前記導体層を形成する工程は、前記導体層を前記第 1 の樹脂層上及び第 2 の樹脂層上に同一工程で形成する工程であることを特徴とする請求項 1 6 又は 1 7 に記載の半導体装置の製造方法。

【請求項 1 9】 前記導体層を形成する工程よりも後に、前記素子形成面側に形成された樹脂層上に前記導体層を覆う第 3 の樹脂層を形成する工程をさらに備えていることを特徴とする請求項 1 6 又は 1 7 に記載の半導体装置の製造方法。

【請求項 2 0】 前記導体層を形成する工程よりも後

4

に、

前記素子形成面側に形成された樹脂層上に前記導体層を覆う第 3 の樹脂層を形成する工程と、前記第 3 の樹脂層に対して前記導体層を露出する開口部を選択的に形成する工程と、前記第 3 の樹脂層の上面に、前記開口部に充填し且つ前記第 3 の樹脂層の上面から突き出すように導電性の突起状部材を形成する工程とをさらに備えていることを特徴とする請求項 1 6 又は 1 7 に記載の半導体装置の製造方法。

10

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】 本発明は、基板上の半導体素子を保護すると共に外部装置と半導体素子との電気的な接続を確保し、高密度な実装を可能とする半導体装置及びその製造方法に関する。

【0 0 0 2】

【従来の技術】 近年、半導体装置は、電子機器の高機能化及び小型化に伴って、半導体素子の入出力 (I/O) ピンの数が増加すると共に、電極端子のピッチが狭小化してきている。このため、従来の半導体装置のパッケージング手法の代表である Q F P (Quad Flat Package) に用いられてきたワイヤーボンディング法による半導体素子と外部接続端子との接続に限界が出てきている。そこで、半導体装置の裏面に外部接続端子を有する B G A (Ball Grid Array) や C S P (Chip Scale Package) 等が開発され台頭してきている。しかしながら、これらのパッケージング手法においても半導体素子の電極端子の狭小化の問題は解決していない。そのため、半導体素子上で電極端子からのさらなる配線を行ない、パッド同士の間隔が広がるように再配線するという、特開平 1 0 - 7 9 3 6 2 号公報に開示されているようなパッケージング手法も現われている。この手法によって、C S P 等の小型パッケージの開発が急速に進展しつつある。

【0 0 0 3】 以下、半導体素子上に再配線された従来のパッケージの構造について図面を参照しながら説明する。

【0 0 0 4】 図 1 3 (a) 及び図 1 3 (b) は従来の C S P 型の半導体装置であって、図 1 3 (a) は半導体チップの素子形成面側の平面構成を示し、図 1 3 (b) は (a) の XIIIb-XIIIb 線における断面構成を示している。図 1 3 (b) に示すように、例えば、シリコンからなる半導体チップ 1 0 1 の主面上には、集積回路を形成する半導体素子 1 0 2、電極端子 1 0 3 及び該電極端子 1 0 3 と電気的に接続される再配線である金属配線層 1 0 4 が形成されている。また、図 1 3 (a) 及び (b) に示すように、金属配線層 1 0 4 上には複数のバンプ 1 0 5 がアレイ状に設けられており、半導体チップ 1 0 1 上には、バンプ 1 0 5 を除いて半導体素子 1 0 2、電極

20

30

40

50

(4)

5

端子103及び金属配線層104を封止する絶縁性樹脂層106により覆われており、各バンプ105上には外部との電気的接続を可能とする外部接続用バンプ107が形成されている。

【0005】このように、従来のCSP型半導体装置の絶縁性樹脂層106は半導体チップ101の主面である素子形成面上にのみ設けられている。

【0006】

【発明が解決しようとする課題】しかしながら、前記従来の半導体装置は、絶縁性樹脂層106が樹脂封止法を用いて形成されるため、半導体チップ101の片面である素子形成面にのみ形成されている。従って、半導体チップ101に対して素子形成面側の部材、すなわち絶縁性樹脂層106と該素子形成面と反対側の部材、すなわち半導体チップ101の物性（膜厚又は熱膨張係数等）が異なることによりアンバランスが生じ、半導体装置に反りが発生するという問題を有している。また、半導体チップ101の素子形成面と反対側の面（裏面）を露出させるため、半導体チップ101にチッピング等の欠けが生じやすくなる。

【0007】本発明は、前記従来の問題を解決し、CSP型の半導体装置の反りを防止すると共に、さらに半導体装置内の配線が容易となるようにすることを目的とする。

【0008】

【課題を解決するための手段】前記の目的を達成するため、本発明に係る半導体装置は、素子形成面上に形成された半導体素子を有する半導体チップと、半導体チップの上に形成され、半導体素子を封止する第1の樹脂層と、第1の樹脂層の上に形成され、半導体素子と電気的に接続された導体からなる配線層と、半導体チップにおける素子形成面と反対側の面に形成された第2の樹脂層とを備えている。

【0009】本発明の半導体装置によると、半導体チップにおける素子形成面と反対側の面に形成された第2の樹脂層を備えているため、半導体チップの素子形成面側と裏面側との物性のアンバランスを抑えることができるでの、半導体チップの反りを防止できる。その結果、実装時における半導体チップの配線（バンプ）の密着性が向上する。また、第2の樹脂層により、半導体チップに加わる衝撃等を軽減できるため、半導体チップのチッピングを防ぐことができる。その上、半導体素子を封止する第1の樹脂層の上に形成され半導体素子と電気的に接続された配線層を備えているため、例えば半導体チップの周縁部に端子を設けるだけで、半導体チップの中央部分にパッドを設けなくても、第1の樹脂層上で該第1の樹脂層に覆われた半導体素子からの導通をとることが可能となる。その結果、素子と比べて面積が極めて大きいパッドを素子形成面に設ける必要がなくなるので、半導体装置内の配線が容易となると共に、装置の小型化をも

6

容易に図ることができる。

【0010】本発明の半導体装置は、第2の樹脂層における半導体チップと反対側の面上に形成された導体層をさらに備えていることが好ましい。このようにすると、導体層に接地電位を供給するだけで半導体チップに対する接地電位を容易に供給できる。

【0011】本発明の半導体装置は、第1の樹脂層の上に該第1の樹脂層の上面から突き出すように形成され、配線層と電気的に接続されている導電性の突起状部材をさらに備えていることが好ましい。このようにすると、本発明の第1の半導体装置をプリント基板等に対して実装する、いわゆる2次実装が容易となる。

【0012】本発明の半導体装置において、第2の樹脂層が、例えばアルミナ又は窒化アルミニウム等の高熱伝導性を有する絶縁性フィラーを含むことが好ましい。このようにすると、半導体チップから発せられる熱を半導体装置の外部に容易に放出することが可能となり、半導体装置の長期信頼性を向上させることができる。

【0013】本発明の半導体装置において、第2の樹脂層が炭素、銅又はニッケル等からなる導導電性のフィラーを含むことが好ましい。このようにすると、半導体チップの裏面から容易に接地電位を得られるため、実装形態の自由度が大きくなる。

【0014】本発明に係る半導体ウェハは、素子形成面上の複数の所定領域ごとに形成された複数の半導体素子を有する半導体ウェハ本体と、半導体ウェハ本体の上に形成され、各半導体素子を封止する第1の樹脂層と、第1の樹脂層の上における各所定領域ごと形成され、各半導体素子と電気的に接続された導体からなる配線層と、半導体ウェハ本体における素子形成面と反対側の面に形成された第2の樹脂層とを備えている。

【0015】このように、本発明の半導体ウェハは、本発明のチップ状の半導体装置のウェハレベルの形態を有しており、従って、半導体装置ウェハを所定領域ごとに分割するだけで、本発明の半導体装置を得ることができる。

【0016】本発明の半導体ウェハは、第2の樹脂層における半導体ウェハ本体と反対側の面上に形成された導体層をさらに備えていることが好ましい。

【0017】本発明の半導体ウェハは、第1の樹脂層上の各所定領域ごとに、第1の樹脂層の上面から突き出すように形成され、配線層と電気的に接続されている導電性の突起状部材をさらに備えていることが好ましい。

【0018】本発明の半導体ウェハにおいて、第2の樹脂層が熱伝導性のフィラーを含むことが好ましい。

【0019】本発明の半導体ウェハにおいて、第2の樹脂層が導電性のフィラーを含むことが好ましい。

【0020】本発明の半導体ウェハにおいて、第1の樹脂層及び第2の樹脂層の少なくとも一方が、所定領域の境界部分上の領域が除去されていることが好ましい。こ

(5)

7

のようになると、半導体ウエハ本体に対してダイシングを行なうことにより、個片（半導体チップ）に分割する際に、樹脂材の切断量を減らせるため、ダイシング時にダイサー装置における切断手段の歯の摩耗を防ぐことができる。

【0021】本発明に係る第1の半導体装置の製造方法は、素子形成面上に形成された半導体素子を有する半導体基板における素子形成面及び該素子形成面と反対側の面のうちの一方の面上に第1の樹脂材を塗布する工程と、塗布された第1の樹脂材を硬化させることにより、第1の樹脂材からなる第1の樹脂層を形成する工程と、半導体基板における他方の面上に第2の樹脂材を塗布する工程と、塗布された第2の樹脂材を硬化させることにより、第2の樹脂材からなる第2の樹脂層を形成する工程と、第1の樹脂層及び第2の樹脂層のうちの少なくとも素子形成面側に形成された樹脂層上に導体層を形成する工程とを備えている。

【0022】第1の半導体装置の製造方法によると、半導体素子を有する半導体基板の素子形成面及び該素子形成面と反対側の両面上に樹脂層を設けると共に、少なくとも素子形成面側に形成された樹脂層上に導体層を形成するため、本発明の半導体装置を確実に実現できる。

【0023】本発明に係る第2の半導体装置の製造方法は、素子形成面上に形成された半導体素子を有する半導体基板における素子形成面及び該素子形成面と反対側の面のうちの一方の面上に第1の樹脂材を塗布する工程と、塗布された第1の樹脂材の硬化状態を硬化の前段階状態（いわゆる、Bステージ状態）にまで移行させる工程と、半導体基板における他方の面上に第2の樹脂材を塗布する工程と、塗布された第2の樹脂材の硬化状態を硬化の前段階状態にまで移行させる工程と、第1の樹脂材及び第2の樹脂材を硬化の前段階状態から硬化させることにより、第1の樹脂材からなる第1の樹脂層を形成すると共に、第2の樹脂材からなる第2の樹脂層を形成する工程と、第1の樹脂層及び第2の樹脂層のうちの少なくとも素子形成面側に形成された樹脂層上に導体層を形成する工程とを備えている。

【0024】第2の半導体装置の製造方法によると、半導体素子を有する半導体基板の素子形成面及び該素子形成面と反対側の面の両面上に塗布した第1及び第2の樹脂材を共にBステージ状態のままとし、後工程で第1及び第2の樹脂材を一括して硬化させるため、本発明の第1の製造方法と比べて樹脂材の硬化時間を短縮できるので、製造工程のスループットを向上できる。

【0025】第1又は第2の半導体装置の製造方法は、導体層を形成する工程よりも後に、素子形成面側に形成された樹脂層上に導体層を覆う第3の樹脂層を形成する工程をさらに備えていることが好ましい。このようにすると、導体層が第3の樹脂層により保護されるため、本発明の製造方法により得られた半導体装置の長期信頼性

8

を向上できる。

【0026】第1又は第2の半導体装置の製造方法は、導体層を形成する工程よりも後に、素子形成面側に形成された樹脂層上に導体層を覆う第3の樹脂層を形成する工程と、第3の樹脂層に対して導体層を露出する開口部を選択的に形成する工程と、第3の樹脂層の上に、開口部に充填し且つ第3の樹脂層の上面から突き出すように導電性の突起状部材を形成する工程とをさらに備えていることが好ましい。このようにすると、本発明の製造方法により得られた半導体装置を2次実装する場合に実装が容易となる。

【0027】本発明に係る第3の半導体装置の製造方法は、素子形成面上の複数の所定領域ごとに形成された複数の半導体素子を有する半導体ウエハにおける素子形成面及び該素子形成面と反対側の面のうちの一方の面上に第1の樹脂材を塗布する工程と、塗布された第1の樹脂材を硬化させることにより、第1の樹脂材からなる第1の樹脂層を形成する工程と、半導体基板における他方の面上に第2の樹脂材を塗布する工程と、塗布された第2の樹脂材を硬化させることにより、第2の樹脂材からなる第2の樹脂層を形成する工程と、第1の樹脂層及び第2の樹脂層のうちの少なくとも素子形成面側に形成された樹脂層上に導体層を形成する工程と、導体層が形成された半導体ウエハにおける複数の所定領域ごとに半導体ウエハを分割する工程とを備えている。

【0028】第3の半導体装置の製造方法によると、本発明に係る半導体ウエハを確実に形成でき、さらに、本発明に係る半導体装置のウエハレベルでの一括パッケージングが可能となる。

【0029】本発明に係る第4の半導体装置の製造方法は、素子形成面上の複数の所定領域ごとに形成された複数の半導体素子を有する半導体ウエハにおける素子形成面及び該素子形成面と反対側の面のうちの一方の面上に第1の樹脂材を塗布する工程と、塗布された第1の樹脂材の硬化状態を硬化の前段階状態にまで移行させる工程と、半導体ウエハにおける他方の面上に第2の樹脂材を塗布する工程と、塗布された第2の樹脂材の硬化状態を硬化の前段階状態にまで移行させる工程と、第1の樹脂材及び第2の樹脂材を硬化の前段階状態から硬化させることにより、第1の樹脂材からなる第1の樹脂層を形成すると共に、第2の樹脂材からなる第2の樹脂層を形成する工程と、第1の樹脂層及び第2の樹脂層のうちの少なくとも素子形成面側に形成された樹脂層上に導体層を形成する工程と、導体層が形成された半導体ウエハにおける複数の所定領域ごとに半導体ウエハを分割する工程とを備えている。

【0030】第4の半導体装置の製造方法によると、複数の半導体素子を有する半導体ウエハの素子形成面及び該素子形成面と反対側の面の両面上に塗布した第1及び第2の樹脂材を共にBステージ状態のままとし、後工程

(6)

9

で第1及び第2の樹脂材を一括して硬化させるため、本発明の第3の製造方法と比べて樹脂材の硬化時間を短縮できるので、製造のスループットが向上する。

【0031】第3又は第4の半導体装置の製造方法において、導体層を形成する工程が、導体層を第1の樹脂層上及び第2の樹脂層上に同一工程で形成する工程であることが好ましい。このようにすると、導体層を一括して形成でき、製造のスループットを向上できる。

【0032】第3又は第4の半導体装置の製造方法は、導体層を形成する工程よりも後に、素子形成面側に形成された樹脂層上に導体層を覆う第3の樹脂層を形成する工程をさらに備えている。

【0033】第3又は第4の半導体装置の製造方法は、導体層を形成する工程よりも後に、素子形成面側に形成された樹脂層上に導体層を覆う第3の樹脂層を形成する工程と、第3の樹脂層に対して導体層を露出する開口部を選択的に形成する工程と、第3の樹脂層の上に、開口部に充填し且つ第3の樹脂層の上面から突き出すように導電性の突起状部材を形成する工程とをさらに備えている。

【0034】

【発明の実施の形態】（第1の実施形態）本発明の第1の実施形態について図面を参照しながら説明する。

【0035】図1は本発明の第1の実施形態に係る半導体装置の断面構成を示している。図1において、半導体チップ11の正面である素子形成面には、集積回路を構成する半導体素子12が形成されている。半導体素子12は保護膜であるシリコン酸化物等からなるパッシベーション膜13により覆われ、該パッシベーション膜13は、封止用の第1の樹脂層14により覆われている。

【0036】素子形成面上の周縁部には半導体素子12と電気的に接続されている電極端子15が形成されており、第1の樹脂層14上の少なくとも周縁部には電極端子15と電気的に接続されている金属配線層16が設けられている。

【0037】さらに、本実施形態の特徴として、半導体チップ11の素子形成面と反対側の面（裏面）は第2の樹脂層17により覆われている。

【0038】図2は本実施形態の第1変形例に係る半導体装置の断面構成を示している。図2において、図1に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。図2に示すように、第1変形例に係る金属配線層16は第1の樹脂層14上に所定の配線パターンを持つように形成され、金属配線層16上には、該金属配線層16に外部との絶縁性を持たせると共に、金属配線層16の一部を選択的に露出する複数の開口部を持つソルダーレジスト層18が形成されている。ソルダーレジスト層18上には、各開口部を充填し且つその上面から突き出す島状の突起状部材としての半田ボールからなる突起電極19が形成されている。

10

【0039】図3は本実施形態の第2変形例に係る半導体装置の断面構成を示している。図3において、図2に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。図3に示すように、第2変形例に係る半導体装置は、第2の樹脂層17の半導体チップ11と反対側の面上に、例えば銅からなる導体層21を有している。これにより、半導体チップ11の放熱性を向上させることができる。

【0040】このように、本実施形態に係る半導体装置は、半導体チップ11の素子形成面におけるパッシベーション膜13上に半導体素子12を封止する第1の樹脂層14が形成され、且つ、半導体チップ11の素子形成面と反対側の面にも第2の樹脂層17が形成されている。さらに、第1の樹脂層14上には金属配線層16が形成されているため、外部との電気的な導通が確保されている。

【0041】また、第1又は第2変形例に係る半導体装置は、第1の樹脂層14上に複数の突起電極19が設けられているため、該半導体装置をプリント基板等に実装する2次実装が容易となる。

【0042】ここで、第1の樹脂層14の厚さと第2の樹脂層17との厚さは、ほぼ同一であることが望ましい。しかしながら、両樹脂層14、17の厚さが異なっている場合であっても、半導体チップ11の反りの程度は軽減する。例えば、半導体チップ11のチップサイズが10mm×10mm程度である場合を考えると、第1の樹脂層14の厚さを30μmとし、第2の樹脂層17の厚さを、それぞれ0μm、10μm、30μm又は50μmとして半導体チップ11の反り具合をそれぞれ測定したところ、第2の樹脂層の厚さが0μmの場合は、チップの周縁部が約60μmで且つ素子形成面側が凹形状となる反りが発生した。また、厚さが10μmの場合は素子形成面側に約40μmの反りが発生し、厚さが30μmの場合は素子形成面と反対側に5μmの反りが発生し、厚さが50μmの場合は素子形成面と反対側に約35μmの反りが発生することを確認している。

【0043】以上説明したように、第1の樹脂層14の厚さ及び第2の樹脂層17の厚さが互いに近似している場合には半導体チップ11の反り量は小さくなる。また、この反り量は、素子形成面及びその裏面に形成された各樹脂層14、17の物性である熱膨張係数又はヤング率等によっても変動する。一般に、樹脂材の熱膨張係数は、半導体チップ11の熱膨張係数と比べて大きいため、半導体素子12上にのみ樹脂層を形成すると、半導体チップ11はその素子形成面側に反る反りが生ずる。

【0044】以下、前記のように構成された、本実施形態の第1変形例に係る半導体装置の製造方法について図面を参照しながら説明する。

【0045】図4(a)～図4(i)は本実施形態の第1変形例に係る半導体装置の製造方法の工程順の断面構

(7)

11

成を示している。まず、図4 (a) に示すように、パッシベーション膜13により覆われた半導体素子12を有する半導体チップ(半導体基板)11上に、例えば、スピンドルコート法を用いて感光性を持つ第1の樹脂材14Aを塗布する。必要があれば、塗布後に、第1の樹脂材14Aに対して所望の時間及び温度により乾燥処理を行なってよい。ここでは、太陽インキ製造(株)社製PVI500シリーズのネガ型樹脂材を用い、半導体チップ11を毎分2000回転の速度で40秒間塗布し、その後、基板温度を80°Cとして30分間の仮乾燥を行なう。なお、第1の樹脂材14Aに感光性樹脂を用いたが、熱硬化性樹脂を用いてもよく、また、第1の樹脂材14Aの塗布法は、スクリーン印刷法又はダイコーラによるコート法を用いてもよい。

【0046】次に、図4 (b) に示すように、規定の露光量が500mJ/cm²である第1の樹脂材14Aに対して、露光量を1000mJ/cm²とし、投写型の露光機を用いて、第1の樹脂材14Aにおける少なくとも電極端子15の上側部分14aをマスクするマスクパターンを通して露光する。

【0047】次に、図4 (c) に示すように、露光された第1の樹脂材14Aを所定の現像液を用いて現像することにより、第1の樹脂材14Aの感光部分を残す。続いて、図4 (d) に示すように、基板温度を150°Cとして第1の樹脂材14Aに対して1時間程度の熱処理を行なって硬化させることにより、第1の樹脂材14Aからなり、厚さが約30μmの第1の樹脂層14Bを形成する。

【0048】次に、図4 (e) に示すように、半導体チップ11の第1の樹脂層14Bと反対側の面に、第1の樹脂材14Aと同様にスピンドルコート法により、前述のネガ型樹脂からなる第2の樹脂材17Aを、半導体チップ11を毎分2000回転の速度で回転させながら40秒間塗布し、その後、基板温度を80°Cとして30分間の仮乾燥を行なう。第2の樹脂材17Aの塗布にも、スクリーン印刷法又はダイコーラによるコート法を用いてもよい。なお、第2の樹脂材17Aにネガ型の感光性樹脂を用いたが、ポジ型の感光性樹脂又は熱硬化性樹脂を用いてもよい。

【0049】次に、図4 (f) に示すように、露光量を1000mJ/cm²として第2の樹脂材17Aに対してその全面を露光する。その後、基板温度を150°Cとして第2の樹脂材17Aを1時間程度の熱処理によって硬化させることにより、第2の樹脂材17Aからなり、厚さが約30μmの第2の樹脂層17Bを形成する。なお、必要があれば、第2の樹脂材17Aの全面を露光するのではなく所定のパターニングを行なうことも可能である。

【0050】次に、図4 (g) に示すように、無電解めつき法を用いて、半導体チップ11における第1の樹脂

(7)

12

層14B上及び電極端子15上に、銅からなる金属配線層16を形成する。ここでは、金属配線層16の形成に、銅による無電解めつき法を用いたが、スパッタ法又は蒸着法等を用いても可能である。さらに、金属配線層16の膜厚が比較的厚い場合には、金属配線層16を電解めつき法によって形成してもよい。また、金属配線層16の材料は、銅に限らず、金、銀又はニッケル等を用いることもできる。

【0051】次に、図4 (h) に示すように、金属配線層16上に該金属配線層16を露出する複数の開口部18aを持つように、第3の樹脂層としての樹脂材からなるソルダーレジスト層18を形成し、その後、図4 (i) に示すように、ソルダーレジスト層18上に、各開口部18aを充填すると共にソルダーレジスト層18の上面から突き出すように、それぞれ半田ボールからなる島状の突起電極19を形成する。なお、突起電極19は半田ボールに限らず、銅ボール又は半田からなる島状の突起状部材であってもよい。

【0052】また、第1の樹脂層14Bを第2の樹脂層17Bよりも先に形成したが、第2の樹脂層17Bを第1の樹脂層14Bよりも先に形成してもよい。

【0053】また、図4 (g) に示す金属配線形成工程において、第2の樹脂層17B上に、例えば、無電解めつき法等を用いて銅からなる導体層を形成すれば、図3に示す第2変形例に係る半導体装置を実現できる。

【0054】以上説明したように、半導体チップ11の素子形成面に第1の樹脂層14Aを有すると共に素子形成面と反対側の面に第2の樹脂層17Bを有し、第1の樹脂層14B上に金属配線層16及び突起電極19が形成された半導体装置を実現できる。

【0055】(第2の実施形態)以下、本発明の第2の実施形態について図面を参照しながら説明する。

【0056】図5は本発明の第2の実施形態に係る半導体装置の断面構成を示している。図5において、図2に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。図5に示すように、本実施形態に係る半導体装置は、素子形成面と反対側の面に形成された第2の樹脂層27が熱伝導性を有していることを特徴とする。

【0057】このようにすると、半導体素子12から発せられる熱が、半導体チップ11の裏面に伝導し、さらに該裏面に形成されている第2の樹脂層27をも熱伝導性を持つフィラーを介して伝導するため、半導体チップ11の外部に効率良く放熱される。その結果、半導体装置の長期信頼性が向上する。

【0058】以下、前記のように構成された半導体装置の製造方法について図面を参照しながら説明する。

【0059】図6 (a)～図6 (i) は本発明の第2の実施形態に係る半導体装置の製造方法の工程順の断面構成を示している。図6 (a)～図6 (d) に示す工程

(8)

13

は、第1の実施形態と同様の工程であって、パッシベーション膜13により覆われた半導体チップ11上に第1の樹脂材14Aを塗布しておき、電極端子15を露出させるパターニングを行なった後、熱処理により硬化させて第1の樹脂材14Aから第1の樹脂層14Bを形成する。

【0060】次に、図6(e)に示すように、半導体チップ11の第1の樹脂層14Bと反対側の面に、前述のPVI500シリーズのネガ型樹脂に60wt%程度の塗化アルミニウムからなるフィラーが添加された第2の樹脂材27Aをスクリーン印刷法により塗布する。スクリーン印刷に用いるスクリーン版は150メッシュで、乳剤の厚さは25μmとする。その後、基板温度を80°Cとして30分間の仮乾燥を行なう。第2の樹脂材27Aの塗布方法は、スクリーン印刷法の他に、スピンドル法又はダイコーティングによるコート法を用いることも可能である。また、第2の樹脂材17Aとしてポジ型の感光性樹脂又は熱硬化性樹脂を用いてもよい。

【0061】次に、図6(f)に示すように、露光量を1000mJ/cm²として第2の樹脂材27Aに対してその全面を露光する。その後、基板温度を150°Cとして第2の樹脂材27Aを1時間程度の熱処理によって硬化させることにより、第2の樹脂材27Aからなり、厚さが約30μmの第2の樹脂層27Bを形成する。なお、必要があれば、第2の樹脂材27Aの全面を露光するのではなく所定のパターニングを行なってもよい。

【0062】この後は、図6(g)～図6(i)に示すように、第1の実施形態と同様にして、第1の樹脂層14B上に、金属配線16、ソルダーレジスト層18及び突起電極19を形成する。

【0063】さらに、図6(g)に示す金属配線層形成工程において、第2の樹脂層27Bにおける半導体チップ11と反対側の面上に導体層を形成してもよい。

【0064】以上説明したように、半導体チップ11の素子形成面に第1の樹脂層14Aを有すると共に素子形成面と反対側の面上には放熱性に優れる第2の樹脂層27Bを有し、第1の樹脂層14B上に金属配線層16及び突起電極19が形成された半導体装置を実現できる。

【0065】なお、熱伝導性のフィラーとして塗化アルミニウムを用いたが、アルミナ等の熱伝導性が高い材料を用いても同様の効果を得られる。

【0066】(第3の実施形態)以下、本発明の第3の実施形態について図面を参照しながら説明する。

【0067】図7は本発明の第2の実施形態に係る半導体装置の断面構成を示している。図7において、図2に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。図7に示すように、本実施形態に係る半導体装置は、素子形成面と反対側の面に形成された第2の樹脂層37が導電性を有していることを特徴とする。これにより、半導体チップ11がその裏面に

14

接地電位を必要とする場合には、半導体装置の外部から容易に接地電位を得ることができる。

【0068】図8は本実施形態の一変形例に係る半導体装置の断面構成を示している。図8において、図7に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。図8に示すように、一変形例に係る半導体装置は、第2の樹脂層37上に、すなわち、第3の樹脂層37の半導体チップ11と反対側の面上に、例えは銅からなる導体層21を有している。これにより、半導体チップ11と第3の樹脂層37との導電性を向上させることができる。

【0069】以下、前記のように構成された、本実施形態の一変形例に係る半導体装置の製造方法について図面を参照しながら説明する。

【0070】図9(a)～図9(h)は本発明の第3の実施形態に係る半導体装置の製造方法の工程順の断面構成を示している。まず、図9(a)に示すように、パッシベーション膜13により覆われた半導体素子12を有する半導体チップ11上に、例えは、スピンドル法を用いて感光性を持つ第1の樹脂材14Aを塗布する。必要があれば、塗布後に、第1の樹脂材14Aに対して所望の時間及び温度により乾燥処理を行なってもよい。ここでは、太陽インキ製造(株)社製PVI500シリーズのネガ型樹脂材を用い、半導体チップ11を毎分200回転の速度で40秒間塗布し、その後、基板温度を80°Cとして30分間の仮乾燥を行なう。なお、第1の樹脂材14Aに感光性樹脂を用いたが、熱硬化性樹脂を用いてもよく、また、第1の樹脂材14Aの塗布は、スクリーン印刷法又はダイコーティングによるコート法を用いてもよい。

【0071】次に、図9(b)に示すように、規定の露光量が500mJ/cm²である第1の樹脂材14Aに対して、露光量を1000mJ/cm²とし、投写型の露光機を用いて、第1の樹脂材14Aにおける電極端子15の上側部分14aをマスクするマスクパターンを通して露光する。

【0072】次に、図9(c)に示すように、露光された第1の樹脂材14Aを所定の現像液を用いて現像することにより樹脂材14Aの感光部分を残す。

【0073】このようにして、Bステージ状態(樹脂材における本硬化の前段階の状態)にある第1の樹脂材14Aを形成する。

【0074】次に、図9(d)に示すように、半導体チップ11の第1の樹脂層14Bと反対側の面に、前述のPVI500シリーズのネガ型樹脂に80wt%程度の銀パラジウムからなるフィラーが添加された第2の樹脂材37Aをスクリーン印刷法により塗布する。スクリーン版は150メッシュで、乳剤の厚さは25μmとする。その後、基板温度を80°Cとして30分間の仮乾燥を行なう。これにより、第2の樹脂材37Aの硬化の状

(9)

15

態はBステージ状態となる。なお、第2の樹脂材37Aの塗布方法は、スクリーン印刷法の他に、スピンドルコート法又はダイコーターによるコート法を用いることも可能である。また、第3の樹脂材37Aにポジ型の感光性樹脂又は熱硬化性樹脂を用いてもよい。

【0075】次に、図9(e)に示すように、基板温度が150℃で1時間程度の熱処理を行なって、第1の樹脂材14A及び第2の樹脂材37Aを一括して硬化させることにより、第1の樹脂材14Aから第1の樹脂層14Bを形成すると共に、第2の樹脂材37Aから第2の樹脂層37Bを形成する。

【0076】次に、図9(f)に示すように、無電解銅めっき法を用いて、半導体チップ11における第1の樹脂層14B上及び電極端子15上に銅からなる金属配線層16を形成すると共に、第2の樹脂層37B上に銅からなる導体層を形成する。なお、金属配線層16及び導体層21はスパッタ法又は蒸着法等によって形成してもよい。金属配線層16及び導体層21の厚さが比較的厚い場合には、電解めっき法を用いて形成してもよい。また、金属配線層16の材料は、金、銀又はニッケル等でもよく、導体層21の材料は、金、銀、ニッケル、チタン、パラジウム又はクロム等でもよい。

【0077】この後は、図9(g)及び図9(h)に示すように、第1の実施形態と同様にして、金属配線16上にソルダーレジスト層18及び突起電極19を形成する。

【0078】以上説明したように、半導体チップ11の素子形成面に第1の樹脂層14Aを有し、素子形成面と反対側の面に導電性の第2の樹脂層37B及び導体層21を有すると共に、第1の樹脂層14B上に金属配線層16及び突起電極19を有する半導体装置を実現できる。これにより、素子形成面と反対側の面に接地電位が要求される半導体チップ11においては、半導体装置の基板電位に接地電位を容易に供給することができる。

【0079】なお、第2の樹脂材37Aに含ませるフィラーとして、銀パラジウムを用いたが、これに限らず、金、銀、銅、ニッケル又は炭素等を主成分とする導体材料を用いても同等の効果を得ることができる。

【0080】また、本実施形態で用いた導電性を有する第2の樹脂材37Aの代わりに、絶縁性を有する第2の樹脂剤17A、又は熱導電性を有する第2の樹脂材27Aを用いた半導体装置を製造することができることはいうまでもない。

【0081】(第4の実施形態)以下、本発明の第4の実施形態について図面を参照しながら説明する。

【0082】図10(a)～図10(c)は本発明の第4の実施形態に係る半導体ウエハ及び半導体装置を示し、(a)は半導体ウエハを示す斜視図であり、(b)は半導体ウエハから切り出された半導体チップの素子形成面側を示す斜視図であり、(c)は(b)に示す半導

16

体チップにおける素子形成面の反対側を示す斜視図である。図10(a)に示すように、半導体ウエハ本体51の素子形成面には、互いに交差する複数のダイシング(分割)ライン51aに囲まれてなる複数の素子形成領域51bが設けられている。各素子形成領域51bには、それぞれ図10(b)に示す半導体装置52が形成されている。

【0083】図10(b)に示すように、各素子形成領域51bにおける半導体装置52は、半導体素子(図示せず)を覆う第1の樹脂層14と、該第1の樹脂層14を覆う金属配線層16と、該金属配線層16を外部と絶縁し且つ複数の開口部を有するソルダーレジスト層18と、該ソルダーレジスト層18上における各開口部に露出する金属配線層16と電気的に接続される半田ボール等からなる突起電極19とを備えている。ここでは、ソルダーレジスト層18の一部を除去した様子を表わしている。このように、本実施形態に係る半導体ウエハ50は、半導体ウエハ本体51の各素子形成領域51bに各半導体装置52がそれぞれ形成された状態の基板をいう。

【0084】従って、図10(c)に示すように、半導体ウエハ50のダイシングライン51aで分割して半導体チップ51cを得ることにより、半導体装置52を容易に得ることができ、図10(c)に示すように、半導体チップ51cの素子形成面と反対側の面には第2の樹脂層17が形成されている。

【0085】本実施形態における第1の樹脂層14及び第2の樹脂層17は、塗布面が半導体ウエハ本体51であるため、樹脂層形成領域が広範囲にわたるので、半導体ウエハ本体51の反り量が大きくなってしまう。従って、第1の樹脂層14と第2の樹脂層17とのそれぞれの厚さは、ほぼ同等であることが望ましい。例えば、第1の樹脂層14の厚さを30μmとし、第2の樹脂層17の厚さを、それぞれ0μm又は30μmとして半導体ウエハ本体51の反り具合を測定したところ、第2の樹脂層の厚さが0μmの場合は、半導体ウエハ本体51の周縁部が約900μmで且つ素子形成面側が凹形状となる反りが発生し、厚さが30μmの場合は、素子形成面側に約50μmの反りが発生することを確認している。

【0086】このように、第1の樹脂層14と第2の樹脂層17とにより、反り量を減少できるようになる。この反り量は、前述したように、素子形成面及びその裏面に形成された各樹脂層14、17の物性である熱膨張係数又はヤング率等によっても変動する。一般に、樹脂材の熱膨張係数は、半導体ウエハ本体51の熱膨張係数よりも大きいため、素子形成面上にのみ樹脂層を形成すると、半導体ウエハ本体51はその素子形成面側に大きく反ることとなる。

【0087】以下、前記のように構成された半導体ウエハ及び半導体装置の製造方法について図面を参照しなが

(10)

17

ら説明する。

【0088】図11(a)～図11(e)及び図12(a)～図12(e)は本実施形態に係る半導体ウエハ及び半導体装置の製造方法の工程順の断面構成を示している。ここでは、図示の都合上、半導体ウエハ50に含まれる複数の素子形成領域51bのうちの2つ分の領域のみを図示している。

【0089】まず、図11(a)に示すように、パッジーション膜13により覆われた半導体素子12を有する半導体ウエハ本体51上に、例えば、スピンドルコート法を用いて感光性を持つ第1の樹脂材14Aを塗布する。必要があれば、塗布後に、第1の樹脂材14Aに対して所望の時間及び温度により乾燥処理を行なってもよい。ここでは、太陽インキ製造(株)社製PVI500シリーズのネガ型樹脂材を用い、半導体ウエハ本体51を毎分2000回転の速度で40秒間塗布し、その後、基板温度を80°Cとして30分間の仮乾燥を行なって、第1の樹脂材14AをBステージ状態に移行させる。なお、第1の樹脂材14Aに感光性樹脂を用いたが、熱硬化性樹脂を用いてもよく、また、第1の樹脂材14Aの塗布法として、スクリーン印刷法又はダイコーターによるコート法を用いてもよい。

【0090】次に、図11(b)に示すように、規定の露光量が500mJ/cm²である第1の樹脂材14Aに対して、露光量を1000mJ/cm²とし、投写型の露光機を用いて、素子形成領域の端部で且つ第1の樹脂材14Aにおける電極端子15の上側部分14aをマスクするマスクパターンを通して露光する。

【0091】次に、図11(c)に示すように、露光された第1の樹脂材14Aを所定の現像液を用いて現像することにより第1の樹脂材14Aの感光部分を残す。これにより、第1の樹脂材14Aにおけるダイシングライン51a上の領域が除去される。

【0092】次に、図11(d)に示すように、基板温度を150°Cとして第1の樹脂材14Aに対して1時間程度の熱処理を行なって硬化させることにより、第1の樹脂材14Aからなり、厚さが約30μmの第1の樹脂層14Bを形成する。

【0093】次に、図11(e)に示すように、半導体ウエハ本体51の第1の樹脂層14Bと反対側の面に、第1の樹脂材14Aと同様にスピンドルコート法により、前述のネガ型樹脂からなる第2の樹脂材17Aを、半導体ウエハ本体51を毎分2000回転の速度で回転させながら40秒間塗布し、その後、基板温度を80°Cとして30分間の仮乾燥を行なって、第2の樹脂材17AをBステージ状態に移行させる。第2の樹脂材17Aの塗布にも、スクリーン印刷法又はダイコーターによるコート法を用いてもよい。なお、第2の樹脂材17Aにネガ型の感光性樹脂を用いたが、ポジ型の感光性樹脂又は熱硬化性樹脂を用いてもよい。

18

【0094】次に、図12(a)に示すように、露光量を1000mJ/cm²として第2の樹脂材17Aの全面を露光する。その後、基板温度を150°Cとして第2の樹脂材17Aを1時間程度の熱処理によって硬化させることにより、第2の樹脂材17Aからなり、厚さが約30μmの第2の樹脂層17Bを形成する。なお、必要があれば、第2の樹脂材17Aの全面を露光するのではなく所定のパターニングを行なうことも可能である。特に、第2の樹脂材17Aにおけるダイシングライン51a上の領域を除去するようにパターニングを行なうことが好ましい。

【0095】次に、図12(b)に示すように、無電解めつき法を用いて、第1の樹脂層14B上及び電極端子15上に、銅からなる金属配線層16を形成する。ここでは、金属配線層16の形成に銅による無電解めつき法を用いたが、スパッタ法又は蒸着法等を用いてもよい。さらに、金属配線層16の膜厚が比較的の厚い場合には、金属配線層16を電解めつき法により形成してもよい。また、金属配線層16の材料は、銅に限らず、金、銀又はニッケル等を用いることもできる。

【0096】次に、図12(c)に示すように、金属配線16上に該金属配線16を露出する複数の開口部18aを持つように、第3の樹脂層としての樹脂材からなるソルダーレジスト層18を形成し、その後、図12(d)に示すように、ソルダーレジスト層18上における各開口部18aに半田ボールからなる突起電極19を形成する。なお、突起電極19は半田ボールに限らず、銅ボール又は半田からなる突起状部材であってもよい。

【0097】次に、図12(e)に示すように、ダイサー60を用いて、半導体ウエハ本体51のダイシングライン51aに沿って半導体ウエハ本体51を各半導体チップ51cに分割することにより、半導体チップ51cの素子形成面に第1の樹脂層14Aを有すると共に素子形成面と反対側の面に第2の樹脂層17Bを有し、第1の樹脂層14B上に金属配線層16及び突起電極19が形成された半導体装置を得ることができる。ここでは、第1の樹脂層14B及び第2の樹脂層17Bの少なくとも一方におけるダイシングライン51a上の領域が除去されているため、各半導体チップ51cを切り出す際に樹脂材の切断量が削減されるので、ダイサー60の歯の摩耗を防ぐことができる。

【0098】以上説明したように、ウエハレベルで半導体装置52の組み立てを行なえるため、一括パッケージングが可能となり、半導体装置の製造コストを低減することができる。

【0099】なお、第1の樹脂層14Bを第2の樹脂層17Bよりも先に形成したが、第2の樹脂層17Bを先に形成してもよい。

【0100】また、図12(b)に示す金属配線層形成工程において、第2の樹脂層17Bの半導体ウエハ本体

(11)

19

51と反対側の面上に導体層を形成してもよい。

【0101】また、第1又は第2の実施形態と同様に、第2の樹脂層17Bに熱伝導性又は導電性を持たせてもよい。

【0102】また、第3の実施形態と同様に、第1の樹脂材14AをBステージ状態で保持しておき、第2の樹脂材17Aと一緒にして硬化すると製造工程を短縮できる。

【0103】

【発明の効果】本発明に係る半導体装置によると、半導体チップにおける素子形成面と反対側の面に形成された第2の樹脂層を備えているため、半導体チップの反りを防止できるので、半導体チップの実装時の配線の密着性が向上する。また、第1の樹脂層上に配線層を有しているため、半導体装置内の配線が容易となる。

【0104】本発明に係る半導体ウエハは、本発明に係る半導体装置のウエハレベルの形態を有しているため、本発明に係る半導体装置を一括して得ることができるので、製造コストを大幅に低減できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る半導体装置を示す構成断面図である。

【図2】本発明の第1の実施形態の第1変形例に係る半導体装置を示す構成断面図である。

【図3】本発明の第1の実施形態の第2変形例に係る半導体装置を示す構成断面図である。

【図4】(a)～(i)は第1の実施形態の第1変形例に係る半導体装置の製造方法を示す工程順の構成断面図である。

【図5】本発明の第2の実施形態に係る半導体装置を示す構成断面図である。

【図6】(a)～(i)は本発明の第2の実施形態に係る半導体装置の製造方法を示す工程順の構成断面図である。

【図7】本発明の第3の実施形態に係る半導体装置を示す構成断面図である。

【図8】本発明の第3の実施形態の一変形例に係る半導体装置を示す構成断面図である。

【図9】(a)～(h)は本発明の第3の実施形態に係る半導体装置の製造方法を示す工程順の構成断面図である。

【図10】(a)～(c)は本発明の第4の実施形態に係る半導体ウエハ及び半導体装置(チップ)を示し、

20

(a)は半導体ウエハを示す斜視図であり、(b)は半導体ウエハから切り出された半導体チップの素子形成面側を示す斜視図であり、(c)は(b)に示す半導体チップにおける素子形成面の反対側を示す斜視図である。

【図11】(a)～(e)は本発明の第4の実施形態に係る半導体装置の製造方法を示す工程順の構成断面図である。

【図12】(a)～(e)は本発明の第4の実施形態に係る半導体装置の製造方法を示す工程順の構成断面図である。

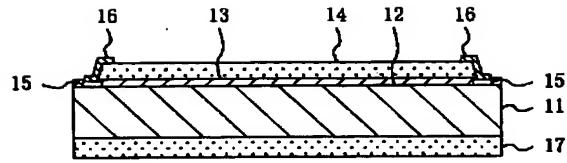
【図13】(a)及び(b)は従来のCSP型の半導体装置を示し、(a)は半導体チップの素子形成面側を示す平面図であり、(b)は(a)のXIIIb-XIIIb線における断面図である。

【符号の説明】

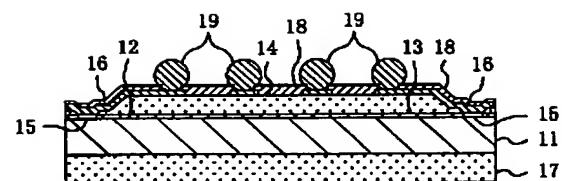
1 1	半導体チップ
1 2	半導体素子
1 3	パッシベーション膜
1 4	第1の樹脂層
1 4 A	第1の樹脂材
1 4 B	第1の樹脂層
1 5	電極端子
1 6	金属配線層(導体層)
1 7	第2の樹脂層
1 7 A	第2の樹脂材
1 7 B	第2の樹脂層
1 8	ソルダーレジスト層(第3の樹脂層)
1 8 a	開口部
1 9	突起電極(突起状部材)
2 1	導体層
2 7	第2の樹脂層
2 7 A	第2の樹脂材
2 7 B	第2の樹脂層
3 7	第2の樹脂層
3 7 A	第2の樹脂材
3 7 B	第2の樹脂層
5 0	半導体ウエハ
5 1	半導体ウエハ本体
5 1 a	ダイシングライン
5 1 b	素子形成領域
5 1 c	半導体チップ
5 2	半導体装置
6 0	ダイサー

(12)

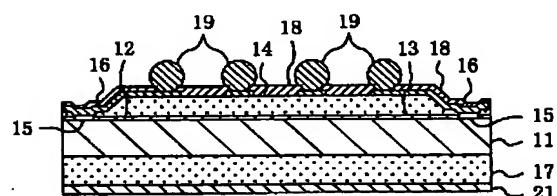
【図1】



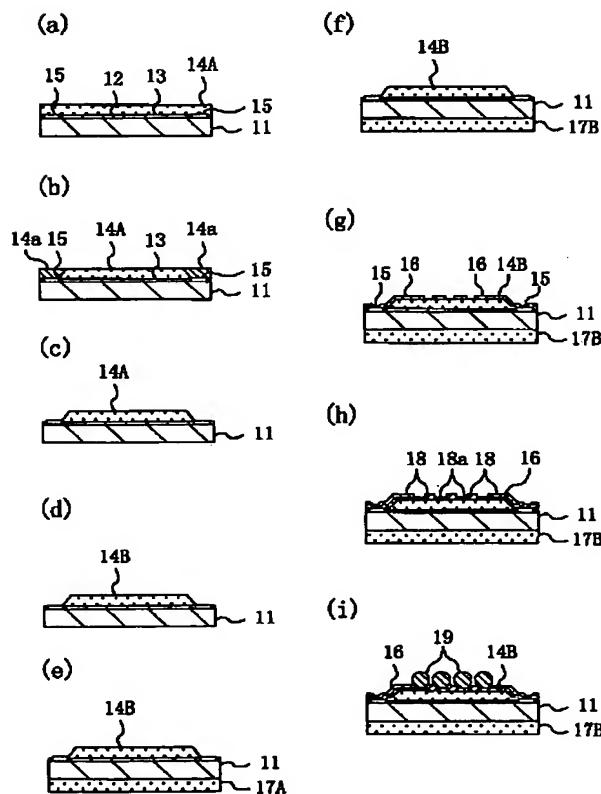
【図2】



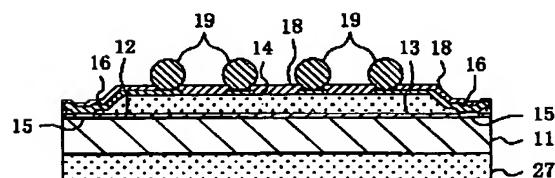
【図3】



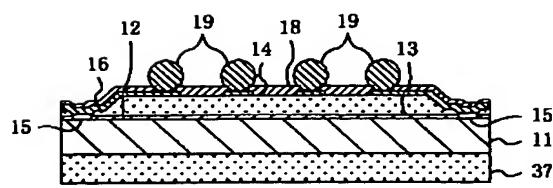
【図4】



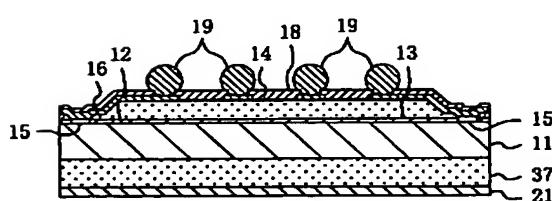
【図5】



【図7】

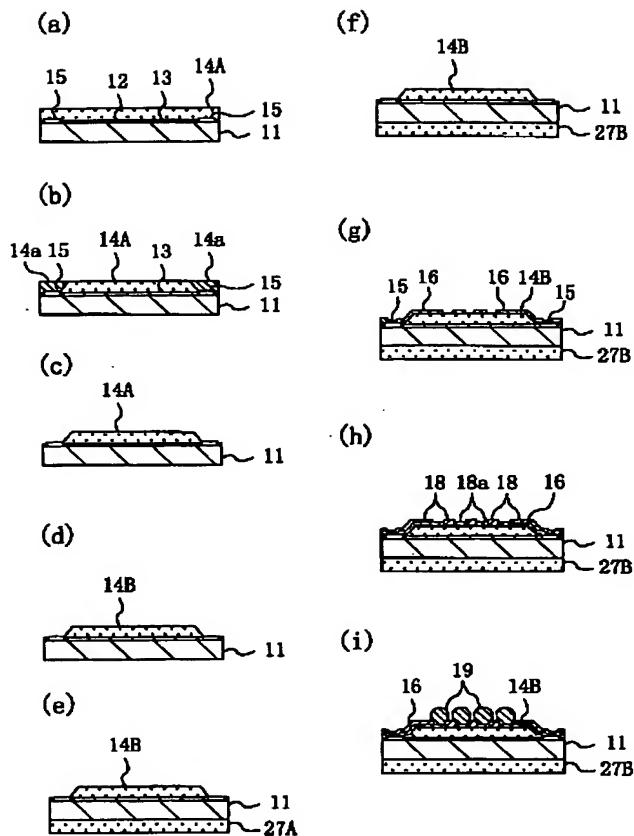


【図8】

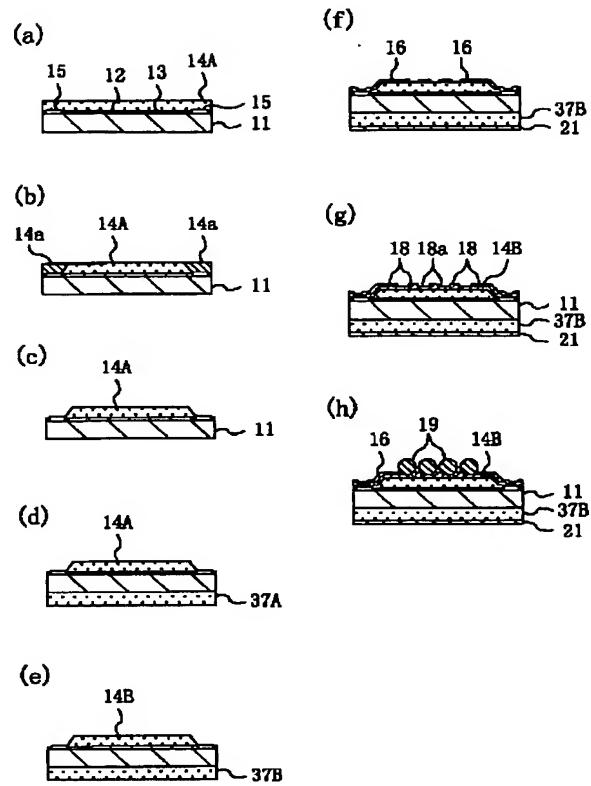


(13)

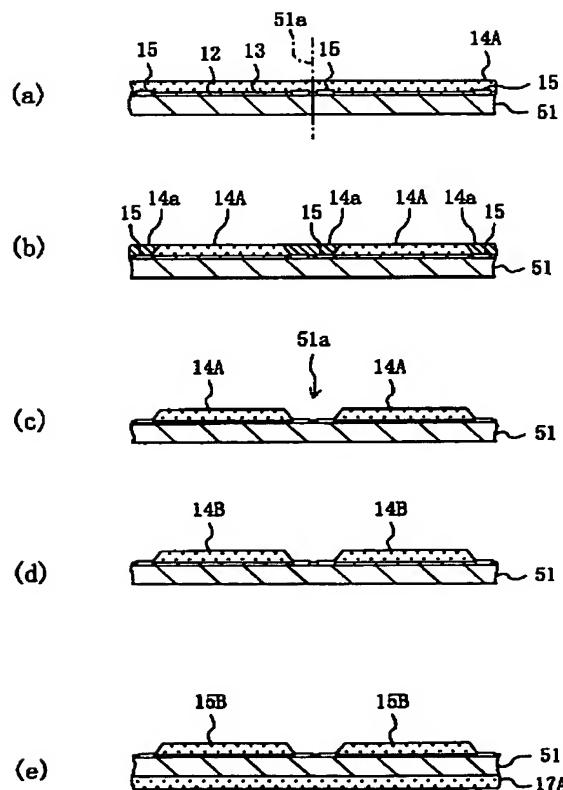
【図6】



【図9】

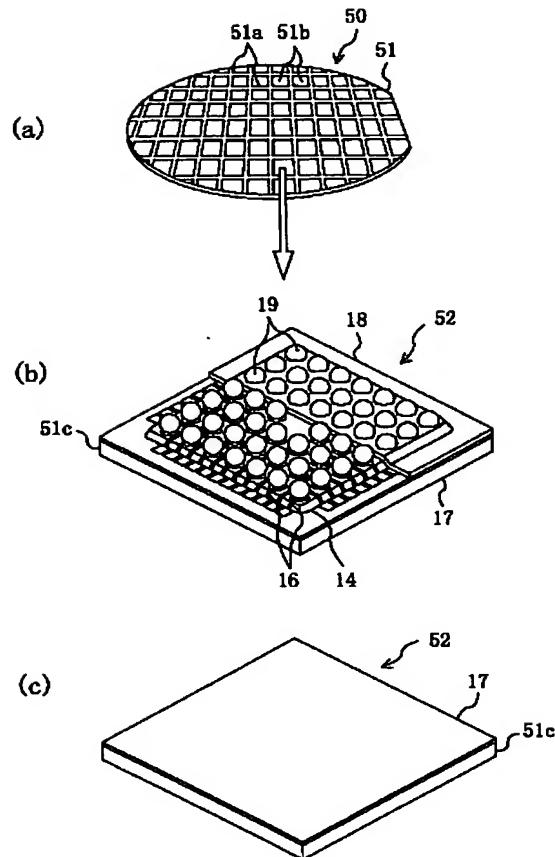


【図11】

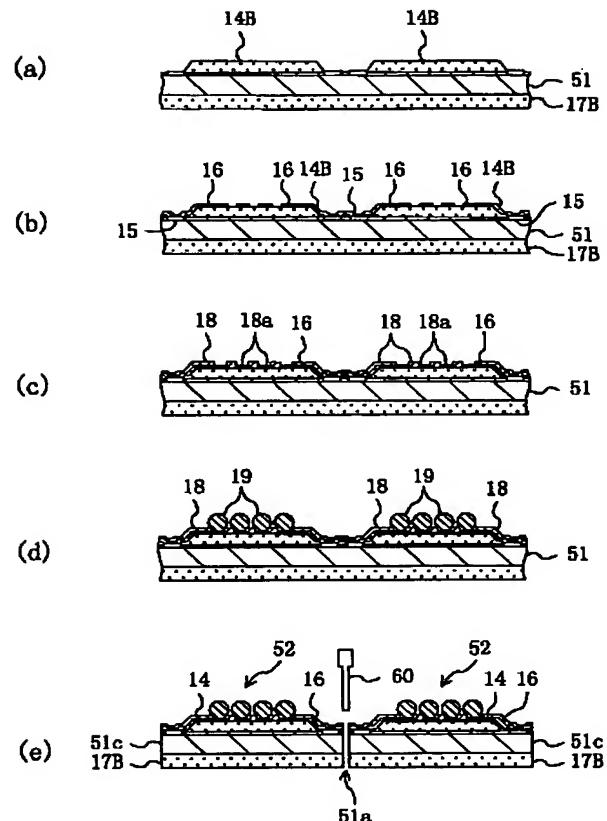


(14)

【図10】

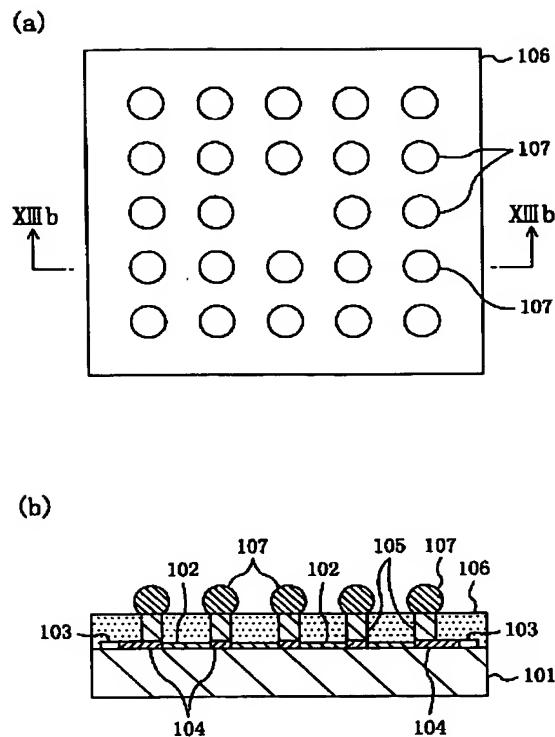


【図12】



(15)

【図13】



フロントページの続き

(72)発明者 戒能 憲幸

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(72)発明者 下石坂 望

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(72)発明者 隈川 隆博

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

F ターム(参考) 4M109 AA02 BA07 CA10 DB17 EA15

EB12

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.